

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年5月8日 (08.05.2003)

PCT

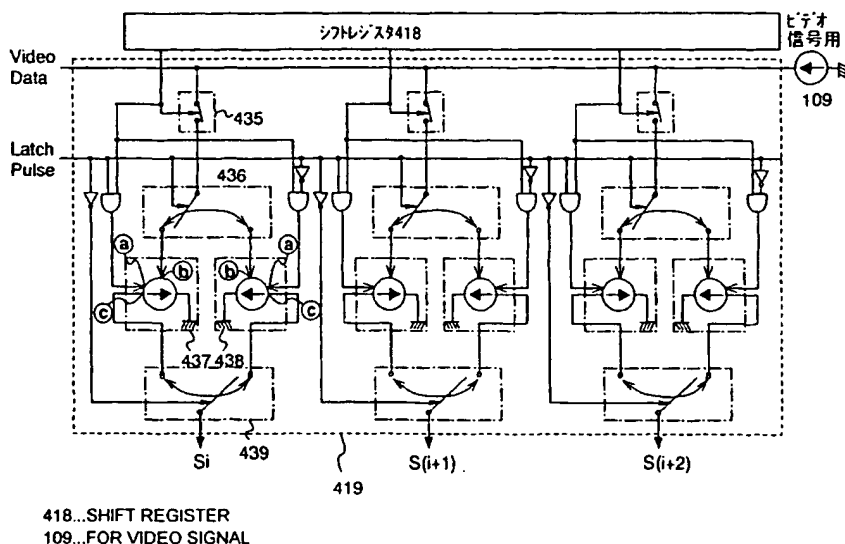
(10) 国際公開番号  
WO 03/038797 A1

- (51) 国際特許分類: G09G 3/30, 3/20, G05F 1/10 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 木村 肇 (KJMURA, Hajime) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷 3 9 8 株式会社半導体エネルギー研究所 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP02/11355
- (22) 国際出願日: 2002年10月31日 (31.10.2002)
- (25) 国際出願の言語: 日本語 (74) 代理人: 大島 陽一 (OSHIMA, Yoichi); 〒162-0825 東京都 新宿区 神楽坂 6-4 2 喜多川ビル 7 階 Tokyo (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (30) 優先権データ:  
特願 2001-335918 2001年10月31日 (31.10.2001) JP  
特願 2002-287948 2002年9月30日 (30.09.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷 3 9 8 Kanagawa (JP). (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許

[続葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT AND LIGHT EMITTING DEVICE

(54) 発明の名称: 信号線駆動回路及び発光装置



(57) Abstract: A technique for suppressing affect of irregularities of transistor characteristics in a signal line drive circuit. The signal line drive circuit includes a first current source circuit (437) and a second current source circuit (438), each having capacity means and supply means. According to a sampling pulse supplied from a shift register (418) and a latch pulse supplied from outside, the capacity means converts the total of currents supplied from n video signal constant current sources (109) into a voltage. The supply means supplies current based on the converted voltage. Thus, current output is performed according to a video signal, not depending on the transistor characteristics. The current values supplied from the n video signal constant current sources are set to  $2^0, 2^1, \dots, 2^n$ , thereby enabling expression of gradation.

[続葉有]



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

---

(57) 要約:

本発明は、信号線駆動回路におけるトランジスタの特性のばらつきの影響を抑制する技術に関する。信号線駆動回路には、各々容量手段と供給手段とを有する第1電流源回路(437)及び第2電流源回路(438)を設ける。シフトレジスタ(418)から供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記容量手段は、n個のビデオ信号用定電流源(109)の各々から供給される電流を加算した電流を電圧に変換し、前記供給手段は変換された電圧に応じた電流を供給することで、トランジスタの特性によらず、ビデオ信号に応じた電流出力を行うことを特徴とする。

前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0$  :  $2^1$  : . . . :  $2^n$ に設定されて、階調を表現することが可能となる。

## 明 細 書

## 信号線駆動回路及び発光装置

## 5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

## 背景技術

- 10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。

- 一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答
- 15 速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

- 発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者の
- 20 デジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。

- また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光
- 25

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(A)を用いて簡単に説明する。図16(A)に示した画素5は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。

発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16(A)に示した画素15において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右されずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(B)、17を用いて簡単に説明する。図16(B)に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線(各列)に配置される。



図17を用いて、ビデオ信号の書き込みから発光までの動作について説明する。  
図17中、各部を示す図番は、図16に準ずる。図17(A)～(C)は、電流の  
経路を模式的に示している。図17(D)は、ビデオ信号の書き込み時における各  
経路を流れる電流の関係を示し、図17(E)は、同じくビデオ信号の書き込み時  
5 に容量素子610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧  
を示す。

まず、第1及び第2の走査線602、603にパルスが入力され、TFT606、  
607がオンする。このとき、信号線601を流れる電流は信号電流を $I_{data}$ と表  
記する。信号線601には、信号電流 $I_{data}$ が流れているので、図17(A)に示  
10 すように、画素内では、電流の経路は $I_1$ と $I_2$ とに分かれて流れる。これらの関  
係を図17(D)に示すが、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT606がオンした瞬間には、まだ容量素子610には電荷が保持されてい  
ないため、TFT608はオフである。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ とな  
る。この間は、容量素子610の両電極間に電流が流れて、該容量素子610にお  
15 いて電荷の蓄積が行われている。

そして徐々に容量素子610に電荷が蓄積され、両電極間に電位差が生じ始める  
(図17(E))。両電極の電位差が $V_{th}$ となると(図17(E)、A点)、TFT6  
08がオンして、 $I_2$ が生ずる。前述したように、 $I_{data} = I_1 + I_2$ であるので、  
 $I_1$ は次第に減少するが、依然電流は流れており、容量素子610にはさらに電荷  
20 の蓄積が行われる。

容量素子610では、その両電極の電位差、つまりTFT608のゲート・ソー  
ス間電圧が所望の電圧になるまで電荷の蓄積が続く。つまりTFT608が $I_{data}$   
の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の  
蓄積が終了する(図17(E)、B点)と、電流 $I_1$ は流れなくなる。また、TFT  
25 608は完全にオンしているので、 $I_{data} = I_2$ となる(図17(B))。以上の  
動作により、画素に対する信号の書き込み動作が完了する。最後に第1及び第2の

走査線 602、603 の選択が終了し、TFT606、607 がオフする。

続いて、第3の走査線604にパルスが入力され、TFT609がオンする。容量素子610には、先ほど書き込んだ VGS が保持されているため、TFT608 はオンしており、電流線605から I data に等しい電流が流れる。これにより発光素子611が発光する。このとき、TFT608が飽和領域において動作するようにしておけば、TFT608のソース・ドレイン間電圧が変化したとしても、発光素子611に流れる発光電流 I EL は変わりなく流れる。

このように電流入力方式とは、TFT609のドレイン電流が電流源回路612で設定された信号電流 I data と同じ電流値になるように設定し、このドレイン電流に  
10 応じた輝度で発光素子611が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成するTFTの特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図16では電流源回路612に相当）をポリシリコントランジスタ  
15 で形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成するTFTの特性バラツキの影響を抑制する必要がある。しかし図16（B）に示す構成の画素を用いることによって、画素を構成するTFTの特性バラツキの影響を  
20 抑制することは出来るが、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図18を用いて簡単に説明する。

25 図18（A）（B）における電流源回路612は、図16（B）で示した電流源回路612に相当する。電流源回路612は、定電流源555～558を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なっており、その比は 1 : 2 : 4 : 8 となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 $L$  (ゲート長) /  $W$  (ゲート幅) 値の比 (1 : 2 : 4 : 8) に起因して 1 : 2 : 4 : 8 となる。そうすると電流源回路 612 は、 $2^4 = 16$  段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、  
10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式 (以下面積階調方式と表記) やデジタル階調  
15 方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) がある。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、  
20 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

イブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-14

〔非特許文献2〕

Reiji H et al., 「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献1〕

特開2001-5426号公報

#### 発明の開示

上述した電流源回路612は、L/W値を設計することによって、トランジスタの  
10 オン電流を1:2:4:8になるように設定している。しかしトランジスタ555  
～トランジスタ558は、作製工程や使用する基板の相違によって生じるゲート長、  
ゲート幅及びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度  
にバラツキが生じてしまう。そのため、トランジスタ555～トランジスタ558  
のオン電流を設計通りに正確に1:2:4:8にすることは困難である。つまり列  
15 によって、画素に供給する電流値にバラツキが生じてしまう。

トランジスタ555～558のオン電流を設計通りに正確に1:2:4:8にする  
ためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ  
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす  
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFTの特性バラツキの影  
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提  
供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素  
を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの  
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提  
25 供する。

本発明は、TFTの特性バラツキの影響を抑制した所望の一定電流を流す電気回

路（本明細書では電流源回路とよぶ）を設けた新しい構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

本発明は各列（各信号線など）に電流源回路が配置された信号線駆動回路を提供する。

- 5     そして本発明の信号線駆動回路では、ビデオ信号用定電流源を用いて、各信号線に配置された電流源回路に信号電流を設定する。信号電流が設定された電流源回路では、ビデオ信号用定電流源に比例した電流を流す能力を有する。そのため、前記電流源回路を用いることにより、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制することが出来る。
- 10    なお、ビデオ信号用定電流源は、基板上に信号線駆動回路と一体形成してもよい。またはビデオ信号用電流として、基板の外部からIC等を用いて電流を入力してもよい。この場合には、ビデオ信号用電流として、基板の外部から信号線駆動回路に一定の電流、もしくは、ビデオ信号に応じた電流が供給される。

本発明の信号線駆動回路の概略について図1、2を用いて説明する。図1、2に

15    は、 $i$ 列目から $(i+2)$ 列目の3本の信号線にかかる周辺の信号線駆動回路が示されている。

図1において、信号線駆動回路403には、各信号線（各列）に電流源回路420が配置されている。電流源回路420は、端子a、端子b及び端子cを有する。端子aからは、設定信号が入力される。端子bへは、電流線に接続されたビデオ信

20    号用定電流源109から電流（信号電流）が供給される。また端子cからは、電流源回路420に保持された信号をスイッチ101を介して出力する。つまり電流源回路420は、端子aから入力される設定信号により制御され、端子bからは供給される信号電流が入力され、該信号電流に比例した電流を端子cより出力する。なおスイッチ101は、電流源回路420と信号線に接続された画素との間に設けら

25    れ、前記スイッチ101のオン又はオフは、ラッチパルスにより制御される。

次いで図1とは異なる構成の本発明の信号線駆動回路について図2を用いて説

明する。図2において、信号線駆動回路403には、信号線ごと（各列）に2つ以上の電流源回路420が設けられている。そして電流源回路420は複数の電流源回路を有する。そしてここでは仮に2つの電流源回路を有するとして、電流源回路420は、第1電流源回路421及び第2電流源回路422を有するとする。第1  
5 電流源回路421及び第2電流源回路422は、端子a、端子b、端子c及び端子dを有する。端子aからは、設定信号が入力される。端子bからは、電流線に接続されたビデオ信号用定電流源109から電流（信号電流）が供給される。また端子cからは、第1電流源回路421及び第2電流源回路422に保持された信号を出力する。つまり電流源回路420は、端子aから入力される設定信号及び端子dか  
10 ら入力される制御信号により制御され、端子bからは供給される信号電流が入力され、該信号電流に比例した電流（信号電流）を端子cより出力する。なおスイッチ101は、電流源回路420と信号線に接続された画素の間に設けられ、前記スイッチ101のオン又はオフは、ラッチパルスにより制御される。また端子dからは、制御信号が入力される。

15 なお本明細書では、電流源回路420に対して信号電流I<sub>data</sub>の書き込みを終了させる（信号電流を設定する、信号電流によって信号電流に比例した電流を出力できるように設定する、電流源回路420が信号電流を出力できるように定める）動作を設定動作と呼び、信号電流I<sub>data</sub>を画素に入力する動作を入力動作（電流源回路420が信号電流を出力する動作）と呼ぶことにする。図2において、第1電流  
20 源回路421及び第2電流源回路422に入力される制御信号は互いに異なっているため、第1電流源回路421及び第2電流源回路422は、一方は設定動作を行い、他方は入力動作を行う。これにより同時に2つの動作を行うことが出来る。

本発明において、発光装置とは発光素子を有する画素部及び信号線駆動回路が基板とカバー材との間に封入されたパネル、前記パネルにIC等を実装したモジュール、ディスプレイなどを範疇に含む。つまり発光装置とは、パネル、モジュール及び  
25 びディスプレイなどの総称に相当する。

本発明の信号線駆動回路では、各々が電流源回路を具備したラッチが配置される。  
また本発明の信号線駆動回路は、アナログ階調方式及びデジタル階調方式の両者に適用することが可能である。

本発明では、TFT は、通常の単結晶を用いたトランジスタや、SOI を用いたトラ  
5   ンジスタ、有機トランジスタなどに置き換えて適用することができる。

本発明は、複数の信号線の各々に対応した第 1 及び第 2 電流源回路、並びにシフトレジスタ及び  $n$  個のビデオ信号用定電流源を有する信号線駆動回路であって ( $n$  は 1 以上の自然数)、

前記第 1 及び前記第 2 電流源回路の各々は、容量手段と供給手段を有し、  
10   前記シフトレジスタから供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記第 1 及び前記第 2 電流源回路の一方が有する容量手段は、前記  $n$  個のビデオ信号用定電流源の各々から供給される電流を加算した電流を電圧に変換し、他方が有する供給手段は前記変換された電圧に応じた電流を供給し、  
前記  $n$  個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$   
15    $2^n$  に設定されることを特徴とする。

本発明は、複数の信号線の各々に対応した ( $2 \times n$ ) 個の電流源回路、並びにシフトレジスタ及び  $n$  個のビデオ信号用定電流源を有する信号線駆動回路であって ( $n$  は 1 以上の自然数)、

前記 ( $2 \times n$ ) 個の電流源回路は、前記シフトレジスタから供給されるサンプリ  
20   ングパルスと外部から供給されるラッチパルスに従って、前記  $n$  個のビデオ信号用定電流源のいずれか 1 つから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記複数の信号線の各々には、前記 ( $2 \times n$ ) 個の電流源回路から選択された  $n$  個から電流が供給され、

25   前記  $n$  個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$   
 $2^n$  に設定されることを特徴とする。

- 上記構成を有する本発明の信号線駆動回路は、シフトレジスタと、2個以上の電流源回路が配置されたラッチを有する。供給手段及び容量手段を有する電流源回路は、構成するトランジスタの特性バラツキの影響を受けることなく、所定の値の電流を供給することができる。また、前記信号線駆動回路には、論理演算子が配置さ
- 5   れ、前記論理演算子の2つの入力端子には、シフトレジスタから供給されるサンプリングパルスと、外部から供給されるラッチパルスが入力される。そして、本発明では、前記論理演算子の出力端子から出力される信号を用いて、ラッチに配置された2つの以上の電流源回路を制御する。この場合、前記電流源回路では、供給された電流を電圧に変換する動作に時間をかけて正確に行うことができる。
- 10   本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、T F Tの特性バラツキの影響を抑制した回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するT F Tの特性バラツキの影響を抑制し、また所望の信号電流  $I_{data}$  を発光素子に供給することができる発光装置を提供する。
- 15   図面の簡単な説明
- 図1は、信号線駆動回路の図。
- 図2は、信号線駆動回路の図。
- 図3は、信号線駆動回路の図（1ビット、2ビット）。
- 図4は、信号線駆動回路の図（1ビット）。
- 20   図5は、信号線駆動回路の図（2ビット）。
- 図6は、電流源回路の回路図。
- 図7は、電流源回路の回路図。
- 図8は、電流源回路の回路図。
- 図9は、ビデオ信号用定電流源の回路図。
- 25   図10は、ビデオ信号用定電流源の回路図。
- 図11は、ビデオ信号用定電流源の回路図。



図 1 2 は、本発明の発光装置の外観を示す図。

図 1 3 は、発光装置の画素の回路図。

図 1 4 は、本発明の発光装置の駆動方法を説明する図。

図 1 5 は、本発明の発光装置を示す図。

5 図 1 6 は、発光装置の画素の回路図。

図 1 7 は、発光装置の画素の動作を説明する図。

図 1 8 は、電流源回路の図。

図 1 9 は、電流源回路の動作を説明する図。

図 2 0 は、電流源回路の動作を説明する図。

10 図 2 1 は、電流源回路の動作を説明する図。

図 2 2 は、本発明の発光装置が適用される電子機器を示す図。

図 2 3 は、ビデオ信号用定電流源の回路図。

図 2 4 は、ビデオ信号用定電流源の回路図。

図 2 5 は、ビデオ信号用定電流源の回路図。

15 図 2 6 は、信号線駆動回路の図（2 ビット）。

図 2 7 は、電流源回路の回路図。

図 2 8 は、電流源回路の回路図。

図 2 9 は、電流源回路の回路図。

図 3 0 は、電流源回路の回路図。

20 図 3 1 は、電流源回路の回路図。

図 3 2 は、電流源回路の回路図。

図 3 3 は、信号線駆動回路の図。

図 3 4 は、信号線駆動回路の図。

図 3 5 は、信号線駆動回路の図。

25 図 3 6 は、信号線駆動回路の図。

図 3 7 は、信号線駆動回路の図。

- 図 3 8 は、信号線駆動回路の図。
- 図 3 9 は、信号線駆動回路の図。
- 図 4 0 は、信号線駆動回路の図。
- 図 4 1 は、信号線駆動回路の図。
- 5 図 4 2 は、信号線駆動回路の図。
- 図 4 3 は、信号線駆動回路の図。
- 図 4 4 は、ビデオ信号用定電流源の回路図。
- 図 4 5 は、ビデオ信号用定電流源の回路図。
- 図 4 6 は、ビデオ信号用定電流源の回路図。
- 10 図 4 7 は、ビデオ信号用定電流源の回路図。
- 図 4 8 は、信号線駆動回路の図。
- 図 4 9 は、電流源回路のレイアウト図。
- 図 5 0 は、電流源回路の回路図。

15 発明を実施するための最良の形態

(実施の形態 1)

本実施の形態では、本発明の信号線駆動回路に具備される電流源回路 4 2 0 の回路構成とその動作の例について説明する。

- 本発明では端子 a から入力される設定信号とは論理演算子の出力端子から入力
- 20 される信号を示す。つまり図 1 における設定信号とは、論理演算子の出力端子から入力される信号に相当する。そして本発明では、論理演算子の出力端子から入力される信号に合わせて、電流源回路 4 2 0 の設定を行う。

- 前記論理演算子の 2 つの入力端子には、一方にはシフトレジスタからのサンプリングパルスが入力され、他方にはラッチパルスが入力される。論理演算子では、入
- 25 力された 2 つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作

又は入力動作を行う。

なおシフトレジスタとは、フリップフロップ回路 (FF) 等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号 (S-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (S-CLKb) が入力されて、これらの信号  
5 のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

図6 (A) において、スイッチ104、105a、106と、トランジスタ102 (nチャネル型) と、該トランジスタ102のゲート・ソース間電圧VGSを保持する容量素子103とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力される信号によってスイッチ104、  
10 スwitch105aがオンとなる。そうすると、電流線 (ビデオ線) に接続されたビデオ信号用定電流源109 (以下定電流源109と表記) から、端子bを介して電流が供給され、容量素子103に電荷が保持される。そして定電流源109から流される信号電流  $I_{data}$  がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

15 次いで、端子aを介して入力される信号により、スイッチ104、スイッチ105aをオフにする。そうすると、容量素子103に所定の電荷が保持されているため、トランジスタ102は、信号電流  $I_{data}$  に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101、スイッチ106が導通状態になると、端子czを介して信号線に接続された画素に電流が流される。このとき、トランジスタ102のゲート電圧は、容量素子103により所定のゲート電圧に維持されて  
20 いるため、トランジスタ102のドレイン領域には信号電流  $I_{data}$  に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に入力される電流の大きさを制御できる。

なおスイッチ104及びスイッチ105aの接続構成は図6 (A) に示す構成に  
25 限定されない。例えば、スイッチ104の一方を端子bに接続し、他方をトランジスタ102のゲート電極の間に接続し、更にスイッチ105aの一方をスイッチ1

04を介して端子bに接続して、他方をスイッチ116に接続する構成でもよい。そしてスイッチ104及びスイッチ105aは、端子aから入力される信号により制御される。

或いは、スイッチ102は端子bとトランジスタ104のゲート電極の間に配置し、スイッチ105aは端子bとスイッチ116の間に配置してもよい。つまり、図27(A)を参照すると、設定動作時には図27(A1)のように接続され、入力動作時には図27(A2)のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数は特に限定されない。

なお図6(A)に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）、つまり、電流源回路から電流を出力する動作を同時に行うことは出来ない。

図6(B)において、スイッチ124、スイッチ125と、トランジスタ122（nチャネル型）と、該トランジスタ122のゲート・ソース間電圧VGSを保持する容量素子123と、とトランジスタ126（nチャネル型）とを有する回路が電流源回路420に相当する。

トランジスタ126はスイッチ又は電流源用トランジスタの一部のどちらかとして機能する。

図6(B)に示す電流源回路420では、端子aを介して入力される信号によってスイッチ124、スイッチ125がオンとなる。そうすると、電流線（ビデオ線）に接続された定電流源109から、端子bを介して電流が供給され、容量素子123に電荷が保持される。そして定電流源109から流される信号電流I<sub>data</sub>がトランジスタ122のドレイン電流と等しくなるまで、容量素子123に所定の電荷が保持される。なおスイッチ124がオンになると、トランジスタ126のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

次いで、端子aを介して入力される信号により、スイッチ124、スイッチ125をオフにする。そうすると、容量素子123に所定の電荷が保持されているため、

トランジスタ 122 は、信号電流  $I_{data}$  の大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 122 のゲート電圧は、容量素子 123 により所定のゲート電圧に維持されているため、トランジスタ 122 のドレイン領域には信号電流  $I_{data}$  に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に入力される電流の大きさを制御できる。

なおスイッチ 124、125 がオフすると、トランジスタ 126 のゲートとソースは同電位ではなくなる。その結果、容量素子 123 に保持された電荷がトランジスタ 126 の方にも分配され、トランジスタ 126 が自動的にオンになる。ここで、トランジスタ 122、126 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 122、126 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長  $L$  が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b と定電流源 109 との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

なおスイッチの個数、配線の本数及びその接続構成は特に限定されない。つまり、図 27 (B) を参照すると、設定動作時には図 27 (B1) のように接続され、入力動作時には図 27 (B2) のように接続されるように、配線やスイッチを配置するとよい。特に、図 27 (B2) においては、容量素子 123 に貯まった電荷が漏れないようになっていればよい。配線の本数やスイッチの個数は特に限定されない。

なお図 6 (B) に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に inputs する動作（入力動作）、つまり、電流源回路から電流を出力する動作を同時に行うことは出来ない。

図6 (C) において、スイッチ108、スイッチ110、トランジスタ105、106 (nチャネル型)、該トランジスタ105b、106のゲート・ソース間電圧VGSを保持する容量素子107とを有する回路が電流源回路420に相当する。

図6 (C) に示す電流源回路420では、端子aを介して入力される信号によってスイッチ108、スイッチ110がオンとなる。そうすると電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子107に電荷が保持される。そして定電流源109から流される信号電流I<sub>data</sub>がトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105b及びトランジスタ106のゲート電極は互いに接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧が、容量素子107によって保持されている。

次いで、端子aを介して入力される信号により、スイッチ108、スイッチ110をオフにする。そうすると、容量素子107に所定の電荷が保持されるため、トランジスタ106は、信号電流I<sub>data</sub>に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ106のゲート電圧は、容量素子107により所定のゲート電圧に維持されているため、トランジスタ106のドレイン領域には信号電流I<sub>data</sub>に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に

入力される電流の大きさを制御することが出来る。

このとき、トランジスタ106のドレイン領域に、信号電流I<sub>data</sub>に応じたドレイン電流を正確に流すためには、トランジスタ105b及びトランジスタ106の特性が同じであることが必要となる。より詳しくは、トランジスタ105b及びトランジスタ106の移動度、しきい値などの値が同じであることが必要となる。また図6 (C) では、トランジスタ105b及びトランジスタ106のW (ゲート幅) /L (ゲート長) の値を任意に設定して、定電流源109から供給される信号電流I

data に比例した電流を画素に供給するようにしてもよい。

またトランジスタ 105 b において、定電流源 109 に接続されたトランジスタの W/L を大きく設定することで、該定電流源 109 から大電流を供給して、書き込み速度を早くすることが出来る。

- 5     なお図 6 (C) に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

- そして図 6 (D)、(E) に示す電流源回路 420 は、図 6 (C) に示す電流源回路 420 とスイッチ 110 の接続構成が異なっている点以外は、その他の回路素子の接続構成は同じである。また図 6 (D)、(E) に示す電流源回路 420 の動作は、
- 10    図 6 (C) に示す電流源回路 420 の動作と同じであるので、本実施の形態では説明を省略する。

- なおスイッチの個数、配線の本数及びその接続構成は特に限定されない。つまり、図 27 (C) を参照すると、設定動作時には図 27 (C1) のように接続され、入力動作時には図 27 (C2) のように接続されるように、配線やスイッチを配置する
- 15    るとよい。特に、図 27 (C2) においては、容量素子 107 に貯まった電荷が漏れないようになっていけばよい。

- 図 28 (A) において、スイッチ 195 b、195 c、195 d、195 f、トランジスタ 195 a、容量素子 195 e を有する回路が電流源回路に相当する。図 28 (A) に示す電流源回路では、端子 a を介して入力される信号によりスイッチ
- 20    195 b、195 c、195 d、195 f がオンになる。そうすると、端子 b を介して、電流線に接続された定電流源 109 から電流が供給され、定電流源 109 から供給される信号電流とトランジスタ 195 a のドレイン電流が等しくなるまで、容量素子 195 e に所定の電荷が保持される。

- 次いで、端子 a を介して入力される信号により、スイッチ 195 b、195 c、
- 25    195 d、f がオフになる。このとき、容量素子 195 e には所定の電荷が保持されているため、トランジスタ 195 a は信号電流に応じた大きさの電流を流す能力

を有する。これは、トランジスタ 195 a のゲート電圧は、容量素子 195 e により所定のゲート電圧に設定されており、該トランジスタ 195 a のドレイン領域には電流（ビデオ信号用電流）に応じたドレイン電流が流れるためである。この状態において、端子 c を介して外部に電流が供給される。なお図 28 (A) に示す電流

5 源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に inputs する入力動作を同時に行うことは出来ない。なお端子 a を介して入力される信号により制御されるスイッチがオンであり、且つ端子 c から電流が流れないようにしているときは、端子 c と他の電位の配線とを接続する必要がある。そして、ここではその配線の電位を、 $V_a$  とする。 $V_a$  は、端子 b から流れ

10 てくる電流をそのまま流せるような電位であればよく、一例としては、電源電圧  $V_{dd}$  などであり。

なおスイッチの個数やその接続構成は特に限定されない。つまり、図 28 (B) (C) を参照すると、設定動作時には (B1) (C1) のように接続され、入力動作時には (B2) (C2) のように接続されるように、配線やスイッチを配置するとよい。

15 い。配線の本数やスイッチの個数は特に限定されない。

また図 6 (A)、図 6 (C) ~ (E) において、電流の流れる方向（画素から信号線駆動回路への方向）は同様であって、トランジスタ 102、トランジスタ 105 b、トランジスタ 106 の極性（導電型）を p チャネル型にすることも可能である。

20 そこで図 7 (A) には、電流の流れる方向（画素から信号線駆動回路への方向）は同様であって、図 6 (A) に示すトランジスタ 102 を p チャネル型にしたときの回路構成を示す。図 7 (A) では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。また図 7 (B) ~ (D) には、電流の流れる方向（画素から信号線駆動回路へ

25 の方向）は同様であって、図 6 (C) ~ (E) に示すトランジスタ 105 b、トランジスタ 106 を p チャネル型にした回路図を示す。



図29 (A) には、図28に示した構成において、トランジスタ195aをpチャネル型にした場合を示す。図29 (B) には、図6 (B) に示した構成において、トランジスタ122、126をpチャネル型にした場合を示す。

図31において、スイッチ104、116、トランジスタ102、容量素子105 3などを有する回路が電流源回路に相当する。

図31 (A) は、図6 (A) の一部を変更した回路に相当する。図31 (A) に示す電流源回路では、電流源の設定動作時と、入力動作時とで、トランジスタのゲート幅  $W$  が異なる。つまり、設定動作時には、図31 (B) のように接続され、ゲート幅  $W$  が大きい。入力動作時には、図31 (C) のように接続され、ゲート幅  $W$  が小さい。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとビデオ信号用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

15    なお、図31では、図6 (A) の一部を変更した回路について示した。しかし、図6のほかの回路や図7、図28、図30、図29などの回路にも、容易に適用できる。

20    なお上記の電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかし電流は、画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。なお、電流が画素から信号線駆動回路の方向へ流れるか、又は電流が信号線駆動回路から画素の方向へ流れるかは、画素の構成に依存する。そして電流が信号線駆動回路から画素の方向へ流れる場合には、図6に示す回路図において、 $V_{ss}$ （低電位電源）を  $V_{dd}$ （高電位電源）とし、更にトランジスタ102、トランジスタ105b、トランジスタ106、トランジスタ122及びトランジスタ126をpチャネル型とすればよい。また図7に示す回路図において、 $V_{ss}$  を  $V_{dd}$  とし、更にトランジスタ102、トランジスタ105b及びト

ランジスタ106をnチャネル型とすればよい。

但し、設定動作時には図30(A1)～(D1)のように接続され、入力動作時には図30(A2)～(D2)のように接続されるように、配線やスイッチを配置するとよい。配線の本数、スイッチの個数及びその接続は特に限定されない。

- 5     なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

以下には、図6、7を用いて説明した電流源回路のうち、図6(A)及び図7(A)、図6(C)～(E)及び図7(B)～(D)の電流源回路の動作について詳しく説明する。まず、図6(A)及び図7(A)の電流源回路の動作について図19を用  
10   いて説明する。

図19(A)～図19(C)は、電流が回路素子間を流れていく経路を模式的に示している。図19(D)は、信号電流I<sub>data</sub>を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図19(E)は、信号電流I<sub>data</sub>を電流源回路に書き込むときに容量素子16に蓄積される電圧、つまりトランジスタ1  
15   5のゲート・ソース間電圧と時間の関係を示している。また図19(A)～図19(C)に示す回路図において、11はビデオ信号用定電流源、スイッチ12～スイッチ14はスイッチング機能を有する半導体素子、15はトランジスタ(nチャネル型)、16は容量素子、17は画素である。本実施の形態では、スイッチ14と、トランジスタ15と、容量素子16とが電流源回路20に相当する電気回路とする。  
20   なお図19(A)には引き出し線と符号が付いており、図19(B)、(C)において引き出し線と符号は図19(A)に準ずるので図示は省略する。

nチャネル型のトランジスタ15のソース領域はV<sub>ss</sub>に接続され、ドレイン領域はビデオ信号用定電流源11に接続されている。そして容量素子16の一方の電極はV<sub>ss</sub>(トランジスタ15のソース)に接続され、他方の電極はスイッチ14(ト  
25   ランジスタ15のゲート)に接続されている。容量素子16は、トランジスタ15のゲート・ソース間電圧を保持する役目を担う。

なお実際には、電流源回路 20 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 20 から、信号線や画素が有する回路素子等を介して発光素子に信号電流  $I_{data}$  に応じた電流が流れる。しかし図 19 は、ビデオ信号用定電流源 11、電流源回路 20 及び画素 17 との関係の概略を簡単に説明するための図であるので、詳しい構成の図示は省略する。

まず電流源回路 20 が信号電流  $I_{data}$  を保持する動作(設定動作)を図 19 (A)、(B)を用いて説明する。図 19 (A)において、スイッチ 12、スイッチ 14 がオンとなり、スイッチ 13 はオフとなる。この状態において、ビデオ信号用定電流源 11 から信号電流  $I_{data}$  が出力され、ビデオ信号用定電流源 11 から電流源回路 20 の方向に電流が流れていく。このとき、ビデオ信号用定電流源 11 からは信号電流  $I_{data}$  が流れているので、図 19 (A)に示すように電流源回路 20 内では、電流の経路は  $I_1$  と  $I_2$  に分かれて流れる。このときの関係を図 19 (D)に示しているが、信号電流  $I_{data} = I_1 + I_2$  の関係であることは言うまでもない。

ビデオ信号用定電流源 11 から電流が流れ始めた瞬間には、容量素子 16 に電荷は保持されていないため、トランジスタ 15 はオフしている。よって、 $I_2 = 0$  となり、 $I_{data} = I_1$  となる。

そして、徐々に容量素子 16 に電荷が蓄積されて、容量素子 16 の両電極間に電位差が生じはじめる(図 19 (E))。両電極間の電位差が  $V_{th}$  になると(図 19 (E) A点)、トランジスタ 15 がオンして、 $I_2 > 0$  となる。上述したように  $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れている。容量素子 16 には、さらに電荷の蓄積が行われる。

容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 15 が  $I_{data}$  の電流を流すことが出来るだけの電圧 ( $V_{GS}$ ) になるまで、容量素子 16 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると(図 19 (E) B点)、電流  $I_2$  は流れなくなり、さらにトランジスタ 15

は完全にオンしているので、 $I_{data} = I_2$ となる（図19（B））。

次いで、画素に信号電流  $I_{data}$  を入力する動作（入力動作）を図19（C）を用いて説明する。画素に信号電流  $I_{data}$  を入力するときには、スイッチ13をオンにしてスイッチ12及びスイッチ14をオフにする。容量素子16には前述した動作  
5 において書き込まれたVGSが保持されているため、トランジスタ15はオンしており、信号電流  $I_{data}$  に等しい電流が、スイッチ13及びトランジスタ15を介して  $V_{ss}$  の方向に流れて、画素への信号電流  $I_{data}$  の入力完了する。このとき、トランジスタ15を飽和領域において動作するようにしておけば、トランジスタ15のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わ  
10 りなく流れることができる。

図19に示す電流源回路20では、図19（A）～図19（C）に示すように、まず電流源回路20に対して信号電流  $I_{data}$  の書き込みを終了させる動作（設定動作、図19（A）、（B）に相当）と、画素に信号電流  $I_{data}$  を入力する動作（入力動作、図19（C）に相当）に分けられる。そして画素では入力された信号電流  $I$   
15  $data$  に基づき、発光素子への電流の供給が行われる。

図19に示す電流源回路20では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも2つの電流源回路を設けることが好ましい。但し、信号電流  
20  $I_{data}$  を画素に入力していない期間内に、設定動作を行うことが可能であるならば、信号線ごとに（各列に）1つの電流源回路を設けるだけでもよい。

また図19（A）～図19（C）に示した電流源回路20のトランジスタ15はnチャネル型であったが、勿論電流源回路20のトランジスタ15をpチャネル型としてもよい。ここで、トランジスタ15がpチャネル型の場合の回路図を図19  
25 （F）に示す。図19（F）において、31はビデオ信号用定電流源、スイッチ32～スイッチ34はスイッチング機能を有する半導体素子（トランジスタ）、35

はトランジスタ（pチャネル型）、36は容量素子、37は画素である。本実施の形態では、スイッチ34と、トランジスタ35と、容量素子36とが電流源回路24に相当する電気回路とする。

トランジスタ35はpチャネル型であり、トランジスタ35のソース領域及びド  
5 レイン領域は、一方はVddに接続され、他方は定電流源31に接続されている。そして容量素子36の一方の電極はVddに接続され、他方の電極はスイッチ36に接続されている。容量素子36は、トランジスタ35のゲート・ソース間電圧を保持する役目を担う。

図19（F）に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、  
10 上記の電流源回路20と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ15の極性を変更した電流源回路を設計する場合には、図7（A）に示す回路図を参考にすればよい。

なお図32において、電流の流れる方向は図19（F）と同じで、トランジスタ  
35をnチャネル型にしている。容量素子36は、トランジスタ35のゲート・ソ  
15 ース間に接続する。ソースの電位は設定動作時と、入力動作時とで異なる。しかし、ソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に動作する。

続いて図6（C）～（E）及び図7（B）～（D）の電流源回路の動作について  
図20、21を用いて説明する。図20（A）～図20（C）は、電流が回路素子  
20 間を流れていく経路を模式的に示している。図20（D）は、信号電流I<sub>data</sub>を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図20（E）は、信号電流I<sub>data</sub>を電流源回路に書き込むときに容量素子46に蓄積される電圧、つまりトランジスタ43、44のゲート・ソース間電圧と時間の関係を示している。また図20（A）～図20（C）に示す回路図において、41はビデオ  
25 信号用定電流源、スイッチ42はスイッチング機能を有する半導体素子、43、44はトランジスタ（nチャネル型）、46は容量素子、47は画素である。本実施

の形態では、スイッチ42と、トランジスタ43、44と、容量素子46とが電流源回路25に相当する電気回路とする。なお図20(A)には引き出し線と符号が付いており、図20(B)、(C)において引き出し線と符号は図20(A)に準ずるので図示は省略する。

- 5     nチャネル型のトランジスタ43のソース領域は $V_{ss}$ に接続され、ドレイン領域は定電流源41に接続されている。nチャネル型のトランジスタ44のソース領域は $V_{ss}$ に接続され、ドレイン領域は画素47の端子48に接続されている。そして容量素子46の一方の電極は $V_{ss}$ (トランジスタ43及び44のソース)に接続され、他方の電極はトランジスタ43及びトランジスタ44のゲート電極に接続され
- 10    ている。容量素子46は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧を保持する役目を担う。

なお実際には、電流源回路25は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路25から、信号線や画素が有する回路素子等を介して発光素子に信号電流 $I_{data}$ に応じた電流が流れる。しかし図20は、ビデオ

15    信号用定電流源41、電流源回路25及び画素47との関係の概略を説明するための図であるので、詳しい構成の図示は省略する。

図20の電流源回路25では、トランジスタ43及びトランジスタ44のサイズが重要となる。そこでトランジスタ43及びトランジスタ44のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図20(A)～図20(C)に

20    において、トランジスタ43及びトランジスタ44のサイズが同じ場合には、信号電流 $I_{data}$ を用いて説明する。そしてトランジスタ43及びトランジスタ44のサイズが異なる場合には、信号電流 $I_{data1}$ と信号電流 $I_{data2}$ を用いて説明する。なおトランジスタ43及びトランジスタ44のサイズは、それぞれのトランジスタの $W$ (ゲート幅)/ $L$ (ゲート長)の値を用いて判断される。

- 25    最初に、トランジスタ43及びトランジスタ44のサイズが同じ場合について説明する。そしてまず信号電流 $I_{data}$ を電流源回路20に保持する動作を図20(A)、

(B)を用いて説明する。図20(A)において、スイッチ42がオンになると、ビデオ信号用定電流源41で信号電流  $I_{data}$  が設定され、定電流源41から電流源回路25の方向に電流が流れていく。このとき、ビデオ信号用定電流源41からは信号電流  $I_{data}$  が流れているので、図20(A)に示すように電流源回路25内では、電流の経路は  $I_1$  と  $I_2$  に分かれて流れる。このときの関係を図20(D)に示しているが、信号電流  $I_{data} = I_1 + I_2$  の関係であることは言うまでもない。

定電流源41から電流が流れ始めた瞬間には、容量素子46に電荷は保持されていないため、トランジスタ43及びトランジスタ44はオフしている。よって、 $I_2 = 0$  となり、 $I_{data} = I_1$  となる。

10   そして、徐々に容量素子46に電荷が蓄積されて、容量素子46の両電極間に電位差が生じはじめる(図20(E))。両電極間の電位差が  $V_{th}$  になると(図20(E) A点)、トランジスタ43及びトランジスタ44がオンして、 $I_2 > 0$  となる。上述したように  $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れている。容量素子46には、さらに電荷の蓄積が行われる。

15   容量素子46の両電極間の電位差は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧となる。そのため、トランジスタ43及びトランジスタ44のゲート・ソース間電圧が所望の電圧、つまりトランジスタ44が  $I_{data}$  の電流を流すことが出来るだけの電圧( $V_{GS}$ )になるまで、容量素子46における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると(図20(E) B点)、電流  
20    $I_2$  は流れなくなり、さらにトランジスタ43及びトランジスタ44は完全にオンしているので、 $I_{data} = I_2$  となる(図20(B))。

次いで、画素に信号電流  $I_{data}$  を入力する動作を図20(C)を用いて説明する。まずスイッチ42をオフにする。容量素子46には前述した動作において書き込まれた  $V_{GS}$  が保持されているため、トランジスタ43及びトランジスタ44はオン  
25   しており、画素47から信号電流  $I_{data}$  に等しい電流が流れる。これにより、画素に信号電流  $I_{data}$  が入力される。このとき、トランジスタ44を飽和領域において

動作するようにしておけば、トランジスタ 44 のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わりなく流れることができる。

なお図 20 (C) のようなカレントミラー回路の場合には、スイッチ 42 をオフにしなくても、定電流源 41 から供給される電流を用いて画素 47 に電流を流すことも出来る。つまり電流源回路 20 に対して信号を設定する動作（設定動作）、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

次いで、トランジスタ 43 及びトランジスタ 44 のサイズが異なる場合について説明する。電流源回路 25 における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ 43 及びトランジスタ 44 のサイズが異なると、  
10 必然的にビデオ信号用定電流源 41 において設定される信号電流  $I_{data1}$  と画素 47 に流れる信号電流  $I_{data2}$  とは異なる。両者の相違点は、トランジスタ 43 及びトランジスタ 44 の  $W/L$  (ゲート幅) /  $L$  (ゲート長) の値の相違点に依存する。

通常はトランジスタ 43 の  $W/L$  値を、トランジスタ 44 の  $W/L$  値よりも大きくすることが望ましい。これは、トランジスタ 43 の  $W/L$  値を大きくすれば、信号電  
15 流  $I_{data1}$  を大きくできるからである。この場合、信号電流  $I_{data1}$  で電流源回路を設定するとき、負荷（交差容量、配線抵抗）を充電できるため、素早く設定動作を行うことが可能となる。

図 20 (A) ~ 図 20 (C) に示した電流源回路 25 のトランジスタ 43 及びトランジスタ 44 は n チャネル型であったが、勿論電流源回路 25 のトランジスタ 4  
20 3 及びトランジスタ 44 を p チャネル型としてもよい。ここで、トランジスタ 43 及びトランジスタ 44 が p チャネル型の場合の回路図を図 21 に示す。

図 21 において、41 は定電流源、スイッチ 42 はスイッチング機能を有する半導体素子、43、44 はトランジスタ (p チャネル型)、46 は容量素子、47 は画素である。本実施の形態では、スイッチ 42 と、トランジスタ 43、44 と、容  
25 量素子 46 とが電流源回路 26 に相当する電気回路とする。

p チャネル型のトランジスタ 43 のソース領域は  $V_{dd}$  に接続され、ドレイン領域



は定電流源 4 1 に接続されている。p チャンネル型のトランジスタ 4 4 のソース領域は Vdd に接続され、ドレイン領域は画素 4 7 の端子 4 8 に接続されている。そして容量素子 4 6 の一方の電極は Vdd (ソース) に接続され、他方の電極はトランジスタ 4 3 及びトランジスタ 4 4 のゲート電極に接続されている。容量素子 4 6 は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧を保持する役目を担う。

図 2 1 に示す電流源回路 2 6 の動作は、電流の流れる方向が異なる以外は、図 2 0 (A) ~ 図 2 0 (C) と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ 4 3、トランジスタ 4 4 の極性を変えた電流源回路を設計する場合には、図 7 (B) 図 3 2 に示す回路図を参考にすればよい。

以上をまとめると、図 1 9 の電流源回路では、定電流源で設定される信号電流 I data と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流 I data と、画素に流れる電流は値が同じであり、電流源回路に設けられたトランジスタの特性バラツキの影響は受けない。

また図 1 9 の電流源回路及び図 6 (B) などでは、設定動作を行う期間においては、電流源回路から画素に信号電流 I data を出力することは出来ない。そのため、1 本の信号線ごとに 2 つの電流源回路を設けて、一方の電流源回路に信号を設定する動作 (設定動作) を行い、他方の電流源回路を用いて画素に I data を入力する動作 (入力動作) を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に 1 つの電流源回路を設けるだけでもよい。なお、図 2 8 (A)、図 2 9 (A) の電流源回路は、図 1 9 の電流源回路と、接続や電流が流れる経路が異なる以外は、同様である。図 3 1 (A) の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。また、図 6 (B)、図 2 9 (B) の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大き

さが異なること以外は、同様である。つまり、図 31 (A) では、トランジスタのゲート幅  $W$  が設定動作時と入力動作時で異なり、図 6 (B)、図 29 (B) では、トランジスタのゲート長  $L$  が設定動作時と入力動作時とで異なるだけで、それ以外は図 19 の電流源回路と同様の構成である。

- 5 一方図 20、21 の電流源回路では、定電流源において設定された信号電流  $I_{data}$  と、画素に流れる電流の値は、電流源回路に設けられた 2 つのトランジスタのサイズに依存する。つまり電流源回路に設けられた 2 つのトランジスタのサイズ ( $W$  (ゲート幅) /  $L$  (ゲート長)) を任意に設計して、定電流源において設定された信号電流  $I_{data}$  と、画素に流れる電流を任意に変えることが出来る。但し、2 つ
- 10 のトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、正確な信号電流  $I_{data}$  を画素に出力することが難しい。

- また図 20、21 の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作 (設定動作)、信号を画素に
- 15 入力する動作 (入力動作) を同時に行うことが出来る。そのため図 19 の電流源回路のように、1 本の信号線に 2 つの電流源回路を設ける必要はない。

上記構成を有する本発明は、TFT の特性バラツキの影響を抑制し、所望の電流を外部に供給することができる。

#### (実施の形態 2)

- 図 6 (A) のような回路 (および図 19、図 31 (A)、図 6 (B)、図 29 (B)
- 20 など) では、1 本の信号線ごと (各列) に 2 つの電流源回路を設けて、一方の電流源回路に信号を設定する動作 (設定動作) を行い、他方の電流源回路を用いて画素に  $I_{data}$  を入力する動作 (入力動作) を行うことが好ましいことは上述した。これは、設定動作と入力動作とを同時に行うことが出来るためである。そこで本実施の形態では、本発明の信号線駆動回路に具備される図 2 に示した電流源回路 420 の
- 25 回路構成の例について図 8 を用いて説明する。

本発明では端子 a から入力される設定信号とは論理演算子の出力端子から入力

される信号を示す。つまり図1における設定信号とは、論理演算子の出力端子から入力される信号に相当する。そして本発明では、論理演算子の出力端子から入力される信号に合わせて、電流源回路420の設定を行う。

前記論理演算子の2つの入力端子には、一方にはシフトレジスタからのサンプリ  
5     ングパルスが入力され、他方にはラッチパルスが入力される。論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

電流源回路420は、端子aから入力される設定信号により制御され、端子bか  
10     らは供給される信号電流が入力され、該信号電流（ビデオ信号用電流）に比例した電流を端子cより出力する。

図8（A）において、スイッチ134～スイッチ139と、トランジスタ132（nチャネル型）と、該トランジスタ132のゲート・ソース間電圧VGSを保持する容量素子133とを有する回路が第1電流源回路421又は第2電流源回路  
15     422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ134、スイッチ136がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ135、スイッチ137がオンとなる。そうすると、電流線に接続されたビデオ信号用定電流源109から端子bを介  
20     して電流（ビデオ信号用電流）が供給され、容量素子133に電荷が保持される。そして定電流源109から流される信号電流I<sub>data</sub>がトランジスタ132のドレイン電流と等しくなるまで、容量素子133に電荷が保持される。

次いで、端子a、dを介して入力される信号により、スイッチ134～スイッチ137をオフにする。そうすると、容量素子133に所定の電荷が保持されている  
25     ため、トランジスタ132は、信号電流I<sub>data</sub>の大きさの電流を流す能力をもつことになる。そして仮にスイッチ101、スイッチ138、スイッチ139が導通状

- 態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ132のゲート電圧は、容量素子133により所定のゲート電圧に維持されているため、トランジスタ132のドレイン領域には信号電流I<sub>data</sub>に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素において流れる電流の大きさを制御できる。

図8(B)において、スイッチ144～スイッチ147と、トランジスタ142(nチャネル型)と、該トランジスタ142のゲート・ソース間電圧V<sub>GS</sub>を保持する容量素子143と、トランジスタ148(nチャネル型)とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

- 第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ144、スイッチ146がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ145、スイッチ147がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子143に電荷が保持される。そして定電流源109から流される信号電流I<sub>data</sub>がトランジスタ142のドレイン電流と等しくなるまで、容量素子143に電荷が保持される。なおスイッチ144、スイッチ145がオンとなると、トランジスタ148のゲート・ソース間電圧V<sub>GS</sub>が0Vとなるので、自動的にトランジスタ148はオフになる。

- 次いで、端子a、dを介して入力される信号により、スイッチ144～スイッチ147をオフにする。そうすると、容量素子143に信号電流I<sub>data</sub>が保持されているため、トランジスタ142は、信号電流I<sub>data</sub>に応じたの大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ142のゲート電圧は、容量素子143により所定のゲート電圧に維持されているため、トランジスタ142のドレイン領域には信号電流I<sub>data</sub>に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響

を抑制して、画素において流れる電流の大きさを制御できる。

なおスイッチ 144、145 がオフすると、トランジスタ 126 のゲートとソースは同電位ではなくなる。その結果、容量素子 143 に保持された電荷がトランジスタ 148 の方にも分配され、トランジスタ 148 が自動的にオンになる。ここで、  
5 トランジスタ 142、148 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 142、148 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長 L が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子  
10 b とビデオ用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

ここで、図 8 (A) は、図 6 (A) に対して、端子 d を追加した構成に相当する。図 8 (B) は、図 6 (B) に対して、端子 d を追加した構成に相当する。このよう  
15 に、スイッチを直列に追加して修正することにより、端子 d を追加した構成に変形している。なお、図 2 の第 1 電流源回路 421 又は第 2 電流源回路 422 には、2 つのスイッチを直列に配置することで、図 6、7、図 28、図 29、図 31 などに示した電流源回路の構成を任意に用いることができる。

なお図 2 では、1 本の信号線ごとに第 1 電流源回路 421 又は第 2 電流源回路 4  
20 22 の 2 つの電流源回路を有する電流源回路 420 を設けた構成を示したが、本発明はこれに限定されない。例えば、1 本の信号線ごとに 3 つの電流源回路 420 を設けてもよい。そして各電流源回路 420 には異なる r 定電流源 109 から信号電流を設定するようにしてもよい。例えば、1 つの電流源回路 420 には、1 ビット用のビデオ信号用定電流源を用いて信号電流を設定し、1 つの電流源回路 420 に  
25 は、2 ビット用のビデオ信号用定電流源を用いて信号電流を設定し、1 つの電流源回路 420 には、3 ビット用のビデオ信号用定電流源を用いて信号電流を設定する

ようにしてもよい。

本実施の形態は、実施の形態 1 と自由に組み合わせることが可能である。つまり、図 4、図 5、図 26、図 27 に示すように、各列に 1 つの電流源回路が配置されていたところを、図 2 に示すように図 6 (A) の電流源回路を各列に 2 つ配置しても  
5 よい。そうすると、例えば図 2 において電流源回路 421 から供給される電流が 4.9 A として、電流源回路 422 から供給される電流を 5.1 A とすると、フレーム毎に電流源回路 421 及び電流源回路 422 のどちらか一方から電流が供給されるようにすることによって、電流源回路のバラツキを平均化することが出来る。

本実施の形態は、実施の形態 1 と自由に組み合わせることが可能である。

#### 10 (実施の形態 3)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図 15 を用いて説明する。

本発明の発光装置は、基板 401 上に、複数の画素がマトリクス状に配置された画素部 402 を有し、画素部 402 の周辺には、信号線駆動回路 403、第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 を有する。図 15 (A) において、信号線駆動回路 403 と、2 組の走査線駆動回路 404、405 を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。また信号線駆動回路 403 と、第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 には、FPC 406 を介して外部より信号  
20 が供給される。

第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 の構成について図 15 (B) を用いて説明する。第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 は、シフトレジスタ 407、バッファ 408 を有する。動作を簡単に説明すると、シフトレジスタ 407 は、クロック信号 (G-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出  
25 力する。その後バッファ 408 で増幅されたサンプリングパルスは、走査線に入

力されて1行ずつ選択状態にしていく。そして選択された走査線によって、制御される画素には、順に信号線から信号電流 I data が書き込まれる。

なおシフトレジスタ407と、バッファ408の間にはレベルシフト回路を配置した構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

信号線駆動回路403の構成については以下に後述する。また本実施の形態は、実施の形態1、2と自由に組み合わせることが可能である。

(実施の形態4)

本実施の形態では、図15(A)に示した信号線駆動回路403の構成とその動作について説明する。本実施の形態では、アナログ階調表示又は1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について図3(A)、図4を用いて説明する。

図3(A)には、アナログ階調表示又は1ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ418、ラッチ回路419を有する。

動作を簡単に説明するとシフトレジスタ418は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ418より出力されたサンプリングパルスは、ラッチ回路419に入力される。ラッチ回路419には、ビデオ信号 (アナログビデオ信号又はデジタルビデオ信号) が入力されて、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

なおビデオ線には、ビデオ信号用定電流源109が接続されている。そして前記ビデオ信号用定電流源109で設定された信号電流 (ビデオ信号に相当) をラッチ回路419において保持する。

またラッチ回路419にはラッチパルスが入力されラッチ回路419に保持されていたビデオ信号は、信号線に接続された画素に入力される。ラッチ回路419は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。

次いでラッチ回路419の構成を図4を用いて説明する。図4には、 $i$ 列目から5 ( $i+2$ ) 列目の3本の信号線の周辺の信号線駆動回路403の概略を示す。

ラッチ回路419は、列ごとにスイッチ435、スイッチ436、電流源回路437、電流源回路438及びスイッチ439を有する。スイッチ435はシフトレジスタ418から入力されるサンプリングパルスによって制御される。またスイッチ436、スイッチ439はラッチパルスにより制御される。

10 なおスイッチ436とスイッチ439には互いに反転した信号が入力される。その結果、電流源回路437及び電流源回路438は、一方では設定動作を行い、他方では入力動作を行う。

つまり、電流源回路437が設定動作をしているときに、同時に、電流源回路438は、画素へ信号電流を出力し、入力動作を行っている。このように、電流源回路15 の設定動作と入力動作とを同時にできるため、設定動作に時間をかけて、正確に行うことができる。

従って、線順次駆動を行うことが可能となる。

なお、ビデオ線 (video data 線) から供給される信号電流は、ビデオ信号に依存した大きさを持っている。したがって、画素へ供給される電流は、信号電流に比20 例した大きさであるため、画像 (階調) を表現することが可能となる。

電流源回路437及び電流源回路438は、端子aを介して入力される信号により制御される。また電流源回路437及び電流源回路438には、端子bを介してビデオ線 (電流線) に接続されたビデオ信号用定電流源109を用いて設定された電流 (信号電流  $I_{data}$ ) が保持される。そして電流源回路437及び電流源回路425 38と信号線に接続された画素との間にはスイッチ439が設けられており、前記スイッチ439のオン又はオフは、ラッチパルスにより制御される。



そして、1ビットのデジタル階調表示を行う場合、ビデオ信号が明信号のときには、電流源回路437又は電流源回路438から画素に信号電流I dataが出力される。反対にビデオ信号が暗信号のときには、電流源回路437又は電流源回路438は、電流を流す能力を有していないので、画素へ電流は流れない。また、アナログ階調表示を行う場合、ビデオ信号に応じて、電流源回路433から画素に信号電流I dataが出力される。つまり電流源回路437及び電流源回路438は、一定電流を流す能力(VGS)をビデオ信号により制御されており、画素へ出力する電流の大きさにより明るさが制御される。

本発明では端子aから入力される設定信号とは論理演算子の出力端子から入力される信号を示す。つまり図1における設定信号とは、論理演算子の出力端子から入力される信号に相当する。そして本発明では、論理演算子の出力端子から入力される信号に合わせて、電流源回路420の設定を行う。

前記論理演算子の2つの入力端子には、一方にはシフトレジスタからのサンプリングパルスが入力され、他方にはラッチパルスが入力される。論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

電流源回路437及び電流源回路438には、図6、7、図29、図28、図31などに示した電流源回路の回路構成を自由に用いることが出来る。各電流源回路は、全て一つの方式のみを用いるだけでなく、複数を採用してもよい。

また図4では、ビデオ信号用定電流源109から、ラッチ回路に対して1列ずつ設定動作を行っているが、これに限定されない。図33に示すように、同時に複数列で設定動作を行うこと、つまり、多相化させてもよい。図33には、ビデオ信号用定電流源109が2個配置されているが、この2個のビデオ信号用定電流源に対しても別に配置したビデオ信号用定電流源から設定動作を行ってもよい。

以下には、図4において、電流源回路437及び電流源回路438に用いる方式

の組合せの例と、その利点について述べる。

- まず、電流源回路 4 3 7 及び電流源回路 4 3 8 に図 6 (A) のような回路を採用した場合について説明する。図 6 (A) のような回路の電流源回路を用いると、配置するトランジスタの個数を少なく出来るのでトランジスタの特性バラツキの影響をさらに抑制することが出来る。つまり、設定動作を行うトランジスタと入力動作を行うトランジスタとが、同一のトランジスタであるため、トランジスタ間のばらつきの影響を全く受けない。しかしながら、設定動作を行う時の電流を大きくできないため、設定動作をより早く行うことができない。なお、設定動作の時の電流とは、ビデオ信号用定電流源 1 0 9 からラッチ回路に供給される電流に相当する。
- 10      この場合の回路図を、図 3 4 に示す。

なお、図 3 4 では、画素から信号線を通して、電流源回路の方に向かって、電流が流れていた。しかし、この電流の向きは、画素の構成によって、変わる。そこで、図 3 5 には、電流源回路から画素の方へ電流が流れる場合の回路図を示す。

- このように、トランジスタの極性を変えることにより、電流の向きが異なる場合
- 15      の回路を構成することができる。もしくは、図 6 (A) の代わりに、図 7 (A) の回路を用いることにより、トランジスタの極性を変えずに、電流の向きが異なる場合の回路を構成することもできる。

次いで、電流源回路 4 3 7 及び電流源回路 4 3 8 に図 6 (C) のようなカレントミラー回路を採用した場合について図 3 6 を用いて説明する。

- 20      図 6 (C) のようなカレントミラー回路の 2 つのトランジスタにおいて、ビデオ信号用定電流源 1 0 9 に接続されている方のトランジスタに比べて、画素に接続されている方のトランジスタの  $W$  (ゲート幅) /  $L$  (ゲート長) 値を小さくすると、ビデオ信号用定電流源 1 0 9 から供給される電流値を大きくすることが出来る。

- つまり、設定動作を行う方のトランジスタの  $W/L$  を、入力動作を行う方のトラン
- 25      ジスタの  $W/L$  よりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源 1 0 9 からラッチ回路に流れる電流を、大きくすることがで

きる。電流が大きいと、配線などに付随する配線交差容量などに電荷を素早く充電できるため、素早く、定常状態にすることができる。よって、設定動作をより早く行うことができる。

なお、図6（C）のようなカレントミラー回路においては、ゲート電極が共通あるいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、前記トランジスタのソース端子やドレイン端子から出力される電流もばらついてしまう。しかし、前記2つのトランジスタの特性がそろっていれば、そこから出力される電流はばらつかない。逆に言うと、出力される電流がばらつかないようにするには、前記2つのトランジスタの特性がそろっていればよい。つまり、図6（C）のようなカレントミラー回路において、ゲート電極が共通である2つのトランジスタ間で、特性がそろっていればよい。ゲート電極が共通ではないトランジスタ間では、特性がそろっている必要はない。なぜなら、各々の電流源回路に対して、設定動作が行われるからである。つまり、設定動作の対象となったトランジスタと、入力動作の時に使用されるトランジスタとが、同じ特性になっていればよい。ゲート電極が共通ではないトランジスタ間で、特性がそろっていなくても、設定動作によって、各々の電流源回路に対して設定が行われるので、特性ばらつきは補正される。

通常、図6（C）のようなカレントミラー回路において、ゲート電極が共通である2つのトランジスタは、2つのトランジスタの特性のばらつきを押さえるため、近接して配置される。

図36において、例えば画素に与える電流の大きさを $P$ とする。そして仮に、電流源回路（電流源回路437、438）における図6（C）のようなカレントミラー回路の2つのトランジスタにおいて、画素に接続された方のトランジスタの $W/L$ 値を $W_a$ とすると、ビデオ信号線に接続された方のトランジスタの $W/L$ 値を $(2 \times W_a)$ にする。そうすると電流源回路（電流源回路437、438）において電流値が2倍になる。そうすると、ビデオ信号用定電流源109からは、 $(2 \times P)$

の電流が供給されることになる。そうすると、ビデオ信号用定電流源109から供給される電流を大きくできるため、電流源回路（電流源回路437、438）の設定動作を素早く正確に行うことができる。

以上をまとめると、電流源回路に図6（C）のようなカレントミラー回路を採用  
5 し、さらにW/L値を適当な値に設定することにより、ビデオ信号用定電流源109から供給する電流を大きくすることが出来る。そしてその結果、電流源回路の設定動作を正確に行うことが出来る。

つまり、電流が大きいと、配線に寄生する交差容量などに、電荷を素早く充電できるため、素早く、定常状態にすることができる。定常状態になれば、設定動作を  
10 十分に行うことができていることになる。ある期間内に設定動作をおこなう場合、電流が大きいと、素早く定常状態にすることができるため、設定動作を十分におこなうことができる。電流が小さいと、定常状態になる前に、設定動作を行う期間が終了してしまう。その場合は、十分な時間がなかったため、正確に設定動作を行えていないことになる。よって、電流が大きいと、電流源回路の設定動作を素早く、  
15 正確に行うことができる。

ただし、図6（C）のようなカレントミラー回路においては、ゲート電極が共通であるトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。

しかし、トランジスタのチャネル幅Wとチャネル長Lの比率W/Lを、前記2つ  
20 のトランジスタ間で異なる値に設定することにより、電流の大きさを変えることができる。通常は、設定動作の時の電流を大きくする。その結果、素早く設定動作をすることができる。

なお、設定動作の時の電流とは、ビデオ信号用定電流源109から供給される電流に相当する。

25 一方、図6（A）のような回路を用いる場合は、設定動作の時に流れる電流と、入力動作の時に流れる電流とは、ほぼ等しい。そのため、設定動作を行うための電

流を大きくすることはできない。しかし、設定動作を行う時に電流を供給するトランジスタと、入力動作を行う時に電流を供給するトランジスタとは、同一のトランジスタである。よって、トランジスタ間のばらつきの影響は、全く受けない。したがって、ラッチ回路において、設定動作を行う時の電流を大きくしたい部分には図 5 6 (C) のようなカレントミラー回路を用いて、より正確な電流を出力したい部分では図 6 (A) のような回路を用いるというように、適宜組み合わせて用いるのが望ましい。

このように、下位ビット（1ビット目）用の電流源回路において、図 6 (C) のようなカレントミラー回路を用い、上位ビット（2ビット目）用の電流源回路において、図 6 (A) のような回路を用いた場合の回路図を、図 4 8 に示す。

なお、単なるスイッチとして動作させるトランジスタは、極性はどちらでもよい。

図 4 では、図 3 (A) の回路において、図 2 の回路を適用した場合について述べた。続いて、図 3 7 には、図 3 (A) の回路において、図 1 の回路を適用した場合について述べる。

15 図 3 7 (A) において、ビデオ線から供給されるビデオ信号（信号電流）は、電流源回路に供給される。そして、電流源回路の設定動作は、シフトレジスタ 4 1 8 から供給されるサンプリングパルスのタイミングに従って行われる。例えば図 3 7 (A) の構成を有する場合には、電流源回路の設定動作が終わった後、入力動作（画素への電流の出力）を開始する。よって、1 列づつ順に電流源回路の設定動作を行い、次いで入力動作を行うことにより、点順次駆動を実現することができる。

図 3 7 (A) では、アナログ階調表示又は 1 ビットのデジタル階調の場合を示し、図 3 8 には、2 ビットのデジタル階調の場合を示す。

また、図 3 9 には、図 3 8 の回路に、図 6 (A) の回路を適用した場合の回路を示す。図 4 0 には、図 3 8 の回路に、図 6 (C) の回路を適用した場合の回路を示す。さらに、図 4 1 には、1 ビット用の電流源回路には図 6 (C) の回路を適用し、2 ビット用の電流源回路には図 6 (A) の回路を適用した場合の回路を示す。図 4

1の回路の場合、1ビット用の電流源回路のW/Lを変えることにより、ビデオ信号用電流の大きさを大きくする。その結果、2ビット用の電流源回路の場合と同程度の期間で、設定動作を行うことができる。

しかしながら、1列目から最終列目まで順番に選択される場合、最初の方の列で  
5 は、画素に信号を入力する期間が長い。一方、最後の方の列では、ビデオ信号を入力しても、すぐに、次の行の画素が選択されてしまう。その結果、画素に信号を入力する期間が短くなってしまう。そのような場合、図37(B)に示すように、画素部402に配置された走査線を中央で分断することにより、画素に信号を入力する期間を長くすることができる。その場合、画素部402の左側と右側に各1個の  
10 走査線駆動回路を配置し、該走査線駆動回路を用いて画素を駆動する。このようにすると、同じ行に配置されている画素でも、右側の画素と左側の画素とでは、信号を入力する期間をずらすことができる。図37(C)には、1、2行目の右側と左側に配置された走査線駆動回路の出力波形と、シフトレジスタ411のスタートパルス(S-SP)を示す。図37(C)に記載の波形のように動作させることにより、  
15 左側の画素でも、画素に信号を入力する期間を長くすることができるため、点順次駆動を行いやすくなる。

また、本発明の信号線駆動回路において、ラッチに配置された電流源回路について、レイアウト図を図49に、対応した回路図を図50に示す。

なお本実施の形態は、実施の形態1～3と自由に組み合わせることが可能である。

## 20 (実施の形態5)

本実施の形態では、図15(A)に示した信号線駆動回路403の詳細な構成とその動作について説明するが、本実施の形態では、2ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について図3(B)、図5、図26を用いて説明する。

25 図3(B)には、2ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ418、ラッ

チ回路 4 1 9 を有する。

動作を簡単に説明すると、シフトレジスタ 4 1 8 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、

5 順次サンプリングパルスが出力される。

シフトレジスタ 4 1 8 より出力されたサンプリングパルスは、ラッチ回路 4 1 9 に入力される。ラッチ回路 4 1 9 には、2 ビットのデジタルビデオ信号 (Digital Data 1、Digital Data 2) が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

10 1 ビットのデジタルビデオ信号は、1 ビット用のビデオ信号用定電流源 1 0 9 に接続された電流源から入力される。また 2 ビットのデジタルビデオ信号は、2 ビット用のビデオ信号用定電流源 1 0 9 に接続された電流源から入力される。そして 1 ビット用、2 ビット用のビデオ信号用定電流源 1 0 9 で設定された信号電流 (ビデオ信号に相当) をラッチ回路 4 1 9 において保持する。

15 またラッチ回路 4 1 9 には、ラッチパルスが入力され、ラッチ回路 4 1 9 に保持されていた 2 ビットのデジタルビデオ信号 (Digital Data 1、Digital Data 2) は、信号線に接続された画素に入力される。なおラッチ回路 4 1 9 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。

次いでラッチ回路 4 1 9 の構成を図 5 を用いて説明する。図 5 には、i 列目から  
20 (i + 1) 列目の 2 本の信号線の周辺の 2 ビットのデジタル階調表示を行う信号線駆動回路 4 0 3 の概略を示す。また同様に、図 2 6 には、i 列目から (i + 1) 列目の 2 本の信号線の周辺の 2 ビットのデジタル階調表示を行う信号線駆動回路の概略を示す。

なお図 5 では、各ビットに対応したビデオ信号用定電流源 1 0 9 が配置された場  
25 合について示す。

図 5 において、ラッチ回路 4 1 9 は、列ごとにスイッチ 4 3 5 a、スイッチ 4 3

6 a、電流源回路437 a、電流源回路438 a及びスイッチ439 aを有する。  
また列ごとにスイッチ435 b、スイッチ436 b、電流源回路437 b、電流源  
回路438 b及びスイッチ439 bを有する。

スイッチ435 a、スイッチ435 bはシフトレジスタ418から入力されるサ  
5 ンプリングパルスによって制御される。またスイッチ436 a、スイッチ439 a、  
スイッチ436 b及び439 bはラッチパルスにより制御される。

なおスイッチ436 aとスイッチ439 aには互いに反転した信号が入力され  
る。その結果、電流源回路437 a及び電流源回路438 aは、一方では設定動作  
を行い、他方では入力動作を行う。またスイッチ436 bとスイッチ439 bには  
10 互いに反転した信号が入力される。その結果、電流源回路437 b及び電流源回路  
438 bは、一方では設定動作を行い、他方では入力動作を行う。

つまり、電流源回路437が設定動作をしているときに、同時に、電流源回路4  
38は、画素へ信号電流を出力し、入力動作を行っている。このように、電流源回  
路の設定動作と入力動作とを同時にできるため、設定動作に時間をかけて、正確に  
15 行うことができる。

なお、ビデオ線（video data 線）から供給される信号電流は、ビデオ信号に依  
存した大きさを持っている。したがって、画素へ供給される電流は、信号電流に比  
例した大きさであるため、画像を表現することが可能となる。

従って、線順次駆動を行うことが可能となる。

20 なお図5において、電流線とビデオ信号用定電流源は、各ビットに対応して配置  
されている。各ビットの電流源から供給される電流値の合計が、信号線に供給され  
る。つまり、定電流源回路は、デジタル-アナログ変換の機能も有する。

各電流源回路（電流源回路437 a、438 a、437 b、438 b）は、端子  
a、端子b及び端子cを有する。各電流源回路（電流源回路437 a、438 a、  
25 437 b、438 b）は、端子aを介して入力される信号により制御される。また、  
端子bを介してビデオ線に接続されたビデオ信号用定電流源109を用いて設定



された電流（信号電流  $I_{data}$ ）が保持される。また1ビット用の定電流源109において設定された電流は、電流源回路437a及び電流源回路438aにより保持される。また2ビット用の定電流源109において設定された電流は、電流源回路437b及び電流源回路438bにより保持される。そして各電流源回路（電流源回路437a、438a、437b、438b）と信号線に接続された画素との間にはスイッチ439a及びスイッチ439bが設けられており、前記スイッチ439a及びスイッチ439bのオン又はオフはラッチパルスにより制御される。

そして、デジタルビデオ信号が明信号のときには、各電流源回路（電流源回路437a、438a、437b、438b）から画素へ信号電流が出力される。反対にビデオ信号が暗信号のときには、各電流源回路（電流源回路437a、438a、437b、438b）は、電流を流す能力を有していないので画素への電流は流れない。つまり各電流源回路（電流源回路437a、438a、437b、438b）は、一定電流を流す能力（VGS）をビデオ信号により制御され、画素へ出力する電流の大きさをを用いて明るさが制御される。

15    なお、1ビット用の電流源回路437a及び電流源回路438aのいずれかと、2ビット用の電流源回路437b及び電流源回路438bのいずれかとの合計の電流が、画素および、画素に接続された信号線に流れることになる。

1ビット用の電流源回路437a及び電流源回路438aのどちらが設定動作を行い、どちらが入力動作（画素への電流の出力）を行うかは、ラッチパルスにより20 制御される。2ビット用の電流源回路437b及び電流源回路438bに関しても、同様である。

つまり、各ビットのビデオ信号の電流が足しあわされ、DA変換の動作が行われるのは、電流源回路437aや電流源回路437bから画素の方へ流れる部分においてである。したがって、そのときに、電流の大きさが、各ビットに対応した電流25 値になっていればよい。

次いで、図26に示す信号線駆動回路の概略について説明する。図26において、

ラッチ回路は、列ごとにスイッチ435c、スイッチ435d、スイッチ436c、電流源回路437c、電流源回路438c及びスイッチ439cとを有する。スイッチ435c、スイッチ435dはシフトレジスタ418から入力されるサンプリングパルスによって制御される。またスイッチ436c、439cはラッチパルス5により制御される。

なおスイッチ436cとスイッチ439cには互いに反転した信号が入力される。その結果、電流源回路437c及び電流源回路438cは、一方では設定動作を行い、他方では入力動作を行う。また電流源回路437c及び電流源回路438cは、一方では設定動作を行い、他方では入力動作を行う。

10   つまり、電流源回路437aが設定動作をしているときに、同時に、電流源回路438aは、画素へ信号電流を出力し、入力動作を行っている。このように、電流源回路の設定動作と入力動作とを同時にできるため、設定動作に時間をかけて、正確に行うことができる。

つまり、設定動作を正しく行うためには、定常状態になるまで、設定動作を続け  
15   て行う必要がある。定常状態になると、電流源回路の中のトランジスタ（一定電流を供給するトランジスタ。図6（A）では、トランジスタ102に相当）のゲート電極には電流が流れず、トランジスタのゲート・ソース間電圧を保持している容量（図6（A）では、容量素子103に相当）の電位は、変化しなくなる。このような状態になると、設定動作を十分に行えたことになる。つまり、入力動作時に、正  
20   しい大きさの電流を流すことができる。しかし、設定動作を行う時間が短いと、定常状態になる前に、設定動作が終わってしまう可能性がある。その場合は、トランジスタのゲート・ソース間電圧を保持している容量は、正確な電位になっていないことになる。そのため、入力動作時に、正しい大きさの電流を流すことができず、トランジスタの特性のばらつきの影響を受けてしまうことになる。以上のことから、  
25   時間をかけて設定動作を行うと、設定動作を正確に行うことができる。

各電流源回路437c、438cは、端子a、端子b及び端子cを有する。各電

流源回路 4 3 7 c、4 3 8 c は、端子 a を介して入力される信号により制御される。また、端子 b を介してビデオ線に接続されたビデオ信号用定電流源 1 0 9 を用いて設定された電流（信号電流  $I_{data}$ ）が保持される。なお 1 ビット用及び 2 ビット用の定電流源 1 0 9 において設定された電流は、電流源回路 4 3 7 a 又は電流源回路 5 4 3 8 a により保持される。そして各電流源回路 4 3 7 a、4 3 8 a と信号線に接続された画素との間にはスイッチ 4 3 9 c が設けられており、前記スイッチ 4 3 9 c のオン又はオフはラッチパルスにより制御される。

そして、デジタルビデオ信号が明信号のときには、各電流源回路 4 3 7 c、4 3 8 c から画素へ信号電流が出力される。反対にビデオ信号が暗信号のときには、各 10 電流源回路 4 3 7 c、4 3 8 c は、電流を流す能力を有していないので画素への電流は流れない。つまり各電流源回路 4 3 7 c、4 3 8 c は、一定電流を流す能力（VGS）をビデオ信号により制御され、画素へ出力する電流の大きさをを用いて明るさが制御される。

そして本発明では端子 a から入力される設定信号とは論理演算子の出力端子から 15 入力される信号を示す。つまり図 1 における設定信号とは、論理演算子の出力端子から入力される信号に相当する。そして本発明では、論理演算子の出力端子から入力される信号に合わせて、電流源回路 4 2 0 の設定を行う。

前記論理演算子の 2 つの入力端子は、一方にはシフトレジスタからのサンプリングパルスが入力され、他方にはラッチパルスが入力される。論理演算子では、入力 20 された 2 つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

ここで図 5 に示す各電流源回路、図 2 6 に示す各電流源回路に、図 6（A）のような回路を採用した場合について説明する。図 6（A）のような回路の電流源回路 25 を用いると、配置するトランジスタの個数を少なく出来るのでトランジスタの特性バラツキの影響をさらに抑制することが出来る。つまり、設定動作を行うトランジ

スタと入力動作を行うトランジスタとが、同一のトランジスタであるため、トランジスタ間のばらつきの影響を全く受けない。しかしながら、設定動作を行う時の電流を大きくできないため、設定動作をより早く行うことができない。なお、設定動作の時の電流とは、ビデオ信号用定電流源 109 からラッチ回路に供給される電流 5 に相当する。

この場合の回路図を、図 4 2 に示す。

次に、図 5 に示す各電流源回路、図 2 6 に示す各電流源回路に図 6 (C) のようなカレントミラー回路を採用した場合について、図 4 3 を用いて説明する。

図 6 (C) のようなカレントミラー回路の 2 つのトランジスタにおいて、ビデオ  
10 信号用定電流源 109 に接続されている方のトランジスタに比べて、画素に接続されている方のトランジスタの  $W$  (ゲート幅) /  $L$  (ゲート長) 値を小さくすると、ビデオ信号用定電流源 109 から供給される電流値を大きくすることが出来る。

つまり、設定動作を行う方のトランジスタの  $W/L$  を、入力動作を行う方のトランジスタの  $W/L$  よりも大きくする。すると、設定動作を行うための電流、すなわち、  
15 ビデオ信号用定電流源 109 からラッチ回路に流れる電流を、大きくすることができる。電流が大きいと、配線などに付随する配線交差容量などに電荷を素早く充電できるため、素早く、定常状態にすることができる。よって、設定動作をより早く行うことができる。

なお、図 6 (C) のようなカレントミラー回路においては、ゲート電極が共通あ  
20 るいは電氣的に接続されているトランジスタを少なくとも 2 つ有しており、前記 2 つのトランジスタの特性がそろっていれば、前記トランジスタのソース端子やドレイン端子から出力される電流はばらつかない。つまり、出力される電流がばらつかないようにするには、前記 2 つのトランジスタの特性がそろっていればよい。つまり、図 6 (C) のようなカレントミラー回路において、ゲート電極が共通あるいは  
25 電氣的に接続されている 2 つのトランジスタ間で、特性がそろっていればよい。ゲート電極が共通あるいは電氣的に接続されていないトランジスタ間では、特性がそ

- ろっている必要はない。なぜなら、各々の電流源回路に対して、設定動作が行われるからである。つまり、設定動作の対象となったトランジスタと、入力動作の時に使用されるトランジスタとが、同じ特性になっていればよい。ゲート電極が共通あるいは電氣的に接続されていないトランジスタ間で、特性がそろっていなくても、
- 5 設定動作によって、各々の電流源回路に対して設定動作が行われるので、特性ばらつきは補正される。

通常、図6 (C) のようなカレントミラー回路において、ゲート電極が共通あるいは電氣的に接続されている2つのトランジスタは、その特性のばらつきを押さえるため、近接して配置される。

- 10 例えば画素に与える電流の大きさをPとする。そして仮に、電流源回路におけるカレントミラー回路の2つのトランジスタにおいて、画素に接続された方のトランジスタのW/L値を $W_a$ とすると、ビデオ信号線に接続された方のトランジスタのW/L値を $(2 \times W_a)$ にする。そうすると各電流源回路において電流値が2倍になる。そうすると、ビデオ信号用定電流源109 (1ビット用、2ビット用) からは、(2
- 15  $\times P$ ) 又は $(4 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源109から供給される電流を大きくできるため、各電流源回路の設定動作を素早く正確に行うことが出来る。

- また本実施の形態では、2ビットのデジタル階調表示を行うので、図5においては、1本の信号線ごとに4つの電流源回路(437a、438a、437b、43
- 20 8b) 図26においては1本の信号線ごとに2つの電流源回路437c、438cが設けられている。

- そして図5において各電流源回路(電流源回路437a、438a、437b、438bの回路構成と、図26に示す各電流源回路(電流源回路437c、438c)は、図6、7、図29、図28、図31などに示す電流源回路の回路構成を自由
- 25 由に用いることが出来る。各電流源回路420は、全て一つの方式のみを用いるだけでなく、複数を採用してもよい。

また、ラッチ回路が有する電流源回路が図6 (C) のようなカレントミラー回路である場合、トランジスタの $W$  (ゲート幅) / $L$  (ゲート長) 値を、各ビットによって、変えてもよい。そうすると、下位ビットの電流源回路の設定動作の時の電流、つまり、下位ビットのビデオ信号用定電流源109から流れる電流を、より大きく  
5 することができる。その結果、設定動作を早くすることができる。

つまり、ビデオ信号用定電流源109に接続されている方のトランジスタの $W/L$ を、画素や信号線に接続されている方のトランジスタの $W/L$ よりも大きくする。要するに、設定動作を行う方のトランジスタの $W/L$ を、入力動作を行う方のトランジスタの $W/L$ よりも大きくする。すると、設定動作を行うための電流、すなわち、ビ  
10 デオ信号用定電流源109から流れる電流を、より大きくすることができる。

ただし、図6 (C) のようなカレントミラー回路においては、ゲート電極が共通あるいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、トランジスタのチャンネル幅 $W$ とチャンネル長 $L$ の比率 $W/L$ を、前記  
15 2つのトランジスタで異なる値に設定することにより、電流の大きさを変えることができる。通常は、設定動作の時の電流を大きくする。その結果、素早く設定動作をすることができる。

なお、設定動作の時の電流とは、ビデオ信号用定電流源109から供給される電流に相当する。

20 一方、図6 (A) のような回路を用いる場合は、設定動作の時に流れる電流と、入力動作の時に流れる電流とは、ほぼ等しい。そのため、設定動作を行うための電流を大きくすることはできない。しかし、設定動作を行うときに電流を供給するトランジスタと、入力動作を行うときに電流を供給するトランジスタとは、同一のトランジスタである。よって、トランジスタ間のばらつきの影響は、全く受けない。  
25 したがって、各ラッチ回路において、設定動作を行う時の電流を大きくしたい部分には図6 (C) のようなカレントミラー回路を用いて、より正確な電流を出力した

い部分では図6 (A) のような回路を用いるというように、適宜組み合わせて用いるのが望ましい。

なお、図6 (C) のようなカレントミラー回路においては、ゲート電極が共通あるいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2  
5 つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、前記2つのトランジスタの特性がそろっていれば、前記トランジスタのソース端子やドレイン端子から出力される電流はばらつかない。逆に言うと、出力される電流がばらつかないようにするためには、前記2つのトランジスタの特性がそろっていればよい。つまり、図6 (C) のようなカレントミラー回路において、  
10 ゲート電極が共通あるいは電氣的に接続されている2つのトランジスタ間で、特性がそろっていればよい。ゲート電極が共通あるいは電氣的に接続されていないトランジスタ間では、特性がそろっている必要はない。なぜなら、各々の電流源回路に対して、設定動作が行われるからである。つまり、設定動作の対象となったトランジスタと、入力動作の時に使用されるトランジスタとが、同じ特性になっていれば  
15 よい。ゲート電極が共通あるいは電氣的に接続されていないトランジスタ間で、特性がそろっていなくても、設定動作によって、各々の電流源回路に対して設定が行われるので、特性ばらつきは補正される。

通常、図6 (C) のようなカレントミラー回路において、ゲート電極が共通あるいは電氣的に接続されている2つのトランジスタは、2つのトランジスタの特性の  
20 ばらつきを押さえるため、近接して配置される。

なお、ラッチ回路が有する電流源回路において、図6 (A) のような回路を用いたり、図6 (C) のようなカレントミラー回路を用いたりして、混合させて用いてもよい。

なお、図6 (C) のようなカレントミラー回路を採用するのは、全てのビット用の電流源回路でもよいし、一部のビット用の電流源回路だけでもよい。より効果的なのは、下位ビット用の電流源回路に対して、図6 (C) のようなカレントミラー

回路を用い、上位ビット用の電流源回路に対しては、図6 (A) のような回路を用いるのが望ましい。

なぜなら、上位ビットの電流源回路は、電流源回路のトランジスタの特性がわずかにばらついても、電流値に与える影響が大きい。同程度にトランジスタの特性が  
5 ばらついても、上位ビットの電流源回路から供給される電流は、電流値自体が大きいため、ばらつきによる電流の差の絶対値も大きいからである。たとえば、トランジスタの特性が10%ばらついたとする。1ビット目の電流の大きさを $I$ とすると、そのばらつき量は、 $0.1I$ である。一方、3ビットめの電流の大きさは、 $8I$ になるので、そのばらつき量は、 $0.8I$ となる。このように、上位ビットの電流源回  
10 路は、トランジスタの特性がわずかにばらついても、その影響が大きく出てしまう。

そのため、できるだけばらつきの影響が出ない方式が望ましい。また、上位ビットの電流は、電流値が大きいため、設定動作を行うのも、容易である。一方、下位ビットの電流は、多少ばらついても、電流値自体が小さいため、影響が少ない。また、下位ビットの電流は、電流値が小さいので、設定動作を行うのが、容易ではな  
15 い。

この状況を解決するためには、下位ビット用の電流源回路に対して、図6 (C) のようなカレントミラー回路を用い、上位ビット用の電流源回路に対しては、図6 (A) のような回路を用いることが望ましい。

特に、ビデオ信号用定電流源109から流れる電流が小さくなってしまうような  
20 下位ビット用の電流源回路においては、図6 (C) のようなカレントミラー回路を用いて、電流値を大きくすることは、有効である。

つまり、下位ビット用の電流源回路は、その電流源回路から流れる電流値が小さいので、設定動作に時間がかかってしまう。そこで、図6 (C) のようなカレントミラー回路を用いて、電流値を大きくすれば、設定動作にかかる時間を短くするこ  
25 とができるようになる。

また、図6 (C) のようなカレントミラー回路においては、ゲート電極が共通あ



るいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、下位ビット用の電流源回路の場合、画素や信号線に出力する電流値が小さい。そのため、前記2つのトランジスタの特性がばらついても、その影響は小さい。以上のことから、下位ビット用の電流源回路においては、図6 (C) のようなカレントミラー回路を用いることは、効果的である。

以上をまとめると、電流源回路に図6 (C) のようなカレントミラー回路を採用し、さらにW/L値を適当な値に設定することにより、ビデオ信号用定電流源109から供給する電流を大きくすることが出来る。そしてその結果、電流源回路の設定動作を正確に行うことが出来る。

ただし、図6 (C) のようなカレントミラー回路においては、ゲート電極が共通あるいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。

一方、図6 (A) のような回路を用いる場合は、設定動作の時に流れる電流を大きくすることはできない。しかし、トランジスタ間のばらつきの影響は、全く受けない。

したがって、各回路において、電流を大きくしたい部分では、図6 (C) のようなカレントミラー回路を用い、より正確な電流を出力したい部分では、図6 (A) のような回路を用いる、というように、適宜組み合わせて用いるのが望ましい。

なお、単なるスイッチとして動作させるトランジスタは、極性はどちらでもよい。

なお図5において、1ビット用のビデオ信号用定電流源109は、1ビット用のビデオ線 (Video data 線) に接続され、2ビット用のビデオ信号用定電流源109は、2ビット用のビデオ線 (Video data 線) に接続されている。そして、仮に1ビット用のビデオ信号用定電流源109から供給される電流をIとすると、2ビット用のビデオ信号用定電流源109から供給される電流を2Iとする。しかし、本発

明はこれに限定されず、1ビット用のビデオ信号用定電流源109及び2ビット用のビデオ信号用定電流源109から供給される電流の大きさを同じにすることも出来る。1ビット用のビデオ信号用定電流源109及び2ビット用のビデオ信号用定電流源109から供給される電流の大きさを同じにすると、動作条件や負荷を同じにすることが可能であり、さらに電流源回路に信号を書き込む時間を同じにすることが出来る。

但しそのときには、図5、図26に示す各電流源回路に図6(C)のようなカレントミラー回路を採用する必要がある。そして図5に示す各電流源回路では、電流源回路437a及び電流源回路438aが有するトランジスタと、電流源回路437b及び電流源回路438bが有するトランジスタのW/L値を2:1とする必要がある。そうすると、電流源回路437a及び電流源回路438aから出力される電流の大きさと、電流源回路437b及び電流源回路438bから出力される電流の大きさを2:1とすることが出来る。また図26に示す各電流源回路では、ビデオ信号線に接続されている方のトランジスタと、画素に接続されている方のトランジスタのW/L値を2:1とする必要がある。

なお本実施の形態では、2ビットのデジタル階調表示を行う場合における信号線駆動回路の構成とその動作について説明した。しかし本発明は2ビットに限らず、本実施の形態を参考にして任意のビット数に対応した信号線駆動回路を設計し、任意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態1~4と自由に組み合わせることが可能である。

#### (実施の形態6)

図2~図5において示したビデオ信号用定電流源109は、基板上に信号線駆動回路と一体形成してもよいし、ビデオ信号用電流109として、基板の外部からIC等を用いて一定の電流を入力してもよい。そして基板上に一体形成する場合には、図6~8、図29、図28、図31などに示した電流源回路のいずれを用いて形成してもよい。或いは、単に1個のトランジスタを配置して、ゲートに加える電圧に

応じて、電流値を制御するようにしてもよい。本実施の形態では、3ビット用のビデオ信号用電流源109を図6(C)のようなカレントミラー回路の電流源回路で構成する場合について図23～図25を用いて説明する。

なお、電流が流れる向きは、画素の構成などにより、変わる。電流の流れる方向  
5 を変える場合には、トランジスタの極性を変更することなどにより、容易に対応できる。

図23において、ビデオ信号用定電流源109は、ビデオ線（Video data 線、電流線）へ所定の信号電流 I data を出力するか否かを3ビットのデジタルビデオ信号（Digital Data 1～Digital Data 3）が有する High 又は Low の情報によって制  
10 御される。

ビデオ信号用定電流源109は、スイッチ180～スイッチ182、トランジスタ183～トランジスタ188及び容量素子189を有する。本実施の形態では、トランジスタ180～トランジスタ188は全てnチャネル型とする。

スイッチ180は1ビットのデジタルビデオ信号により制御される。スイッチ1  
15 81は2ビットのデジタルビデオ信号により制御される。スイッチ183は3ビットのデジタルビデオ信号により制御される。

トランジスタ183～トランジスタ185のソース領域とドレイン領域は、一方はVssに接続され、他方はスイッチ180～スイッチ182の一方の端子に接続されている。トランジスタ186のソース領域とドレイン領域は、一方はVssに接続  
20 され、他方はトランジスタ188のソース領域とドレイン領域の一方に接続されている。

トランジスタ187とトランジスタ188のゲート電極には、端子eを介して外部から信号が入力される。また電流線190には端子fを介して外部から電流が供給される。

25 トランジスタ187のソース領域とドレイン領域は、一方はトランジスタ186のソース領域とドレイン領域の一方に接続され、他方は容量素子189の一方の電

極に接続されている。トランジスタ188のソース領域とドレイン領域は、一方は電流線190に接続され、他方はトランジスタ186のソース領域とドレイン領域の一方に接続されている。

容量素子189の一方の電極は、トランジスタ183～トランジスタ186のゲート電極に接続され、他方の電極は $V_{ss}$ に接続されている。容量素子189は、トランジスタ183～トランジスタ186のゲート・ソース間電圧を保持する役目を担う。

そしてビデオ信号用定電流源109では、端子eから入力される信号によりトランジスタ187及びトランジスタ188がオンになると、端子fから供給される電流が電流線190を介して容量素子189に流れていく。

そして徐々に容量素子189に電荷が蓄積され、両電極間に電位差が生じ始める。そして両電極間の電位差が $V_{th}$ になると、トランジスタ183～トランジスタ186はオンになる。

容量素子189において、その両電極の電位差、つまりトランジスタ183～トランジスタ186のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続けられる。言い換えると、トランジスタ183～トランジスタ186が信号電流を流すことが出来るだけの電圧になるまで、電荷の蓄積が続けられる。

そして電荷の蓄積が終了すると、トランジスタ183～トランジスタ186は完全にオンになる。

そしてビデオ信号用定電流源109において、3ビットのデジタルビデオ信号により、スイッチ180～スイッチ182の導通又は非導通が選択される。例えば、スイッチ180～スイッチ182が全て導通状態になったときは、電流線に供給される電流は、トランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流の総和となる。また、スイッチ180のみが導通状態になったときは、トランジスタ183のドレイン電流のみが電流線に供給される。

このときトランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流を1:2:4として設定すると、 $2^3 = 8$ 段階で電流の大きさを制御出来る。そのため、トランジスタ183~185のW(チャンネル幅)/L(チャンネル長)値を、1:2:4として設計すると、それぞれ5のオン電流が1:2:4となる。

なお、図23の構成では、電流線(ビデオ)線が1本の場合について示した。しかし、図4のような回路か、図26のような回路かによって、配置される電流線(ビデオ線)の本数は異なる。そこで、図23の回路において、電流線(ビデオ線)が複数になった場合の図を図44に示す。

10 次いで図23とは異なる構成のビデオ信号用電流源109を図24に示す。図24においては、図23に示すビデオ信号用電流源109と比べて、トランジスタ187、188を除いて、容量素子189の一方の端子を電流線190に接続した構成になっている点以外は、図23に示すビデオ信号用電流源109の動作と同じあるので、本実施の形態では説明は省略する。

15 図24の構成では、ビデオ線(電流線)に電流を供給し続けている間は、端子fより信号(電流)を入力しつづけなければならない。もし、端子fより流れる電流の入力を止めると、容量素子189にある電荷が、トランジスタ186を通して放電されてしまう。その結果、トランジスタ186のゲート電極の電位が小さくなり、トランジスタ183~185から、正常な電流が出力できなくなってしまう。一方、  
20 図23の構成の場合には、容量素子189に所定の電荷が保持されているため、ビデオ線(電流線)に電流を供給している間においても、端子fより信号(電流)を入力し続ける必要はない。よって、図24の構成では、容量素子189は、省略してもよい。

なお、図24の構成では、電流線(ビデオ)線が1本の場合について示した。しかし、図4のような回路か、図26のような回路かによって、電流線(ビデオ線)の数は異なる。そこで、図24の回路において、電流線(ビデオ線)が複数になっ

た場合の図を、図45に示す。

続いて図23、24とは異なる構成のビデオ信号用電流源109を図25に示す。

図25においては、図23に示すビデオ信号用電流源109と比べて、トランジスタ186、187、188及び容量素子189を除いて、トランジスタ183～トランジスタ185のゲート電極には端子fを介して外部から一定の電圧が印加される構成になっている点以外は、図23に示すビデオ信号用電流源109の動作と同じあるので、本実施の形態では説明は省略する。

図25の場合は、端子fから、トランジスタ183～185のゲート電極に電圧（ゲート電圧）を加える。しかし、トランジスタ183～185は、同じゲート電圧が印加されても、該トランジスタ183～185の特性がばらつけば、該トランジスタ183～185のソース・ドレイン間に流れる電流値もばらつく。したがって、ビデオ線（電流線）に流れる電流もばらつく。また、温度によっても、特性が変化するため、トランジスタ183～185から供給される電流値も変化してしまう。

一方、図23、図24の場合は、端子fより、電圧を加えることもできるが、電流を加えることもできる。電流で加えた場合、トランジスタ183～186までの特性がそろっていれば、電流値はばらつかなくなる。また、温度によってその特性が変化しても、トランジスタ183～186までの特性が、同程度に変化するため、電流値が変化しなくなる。

なお、図25では、端子fから、トランジスタ183～185に電圧（ゲート電圧）を加え、その電圧は、ビデオ信号によって変化しない。図25においては、ビデオ信号は、スイッチ180～182を制御することで、電流が電流線に流れるかどうかを制御する。そこで、図46のように、トランジスタ183～185のゲート電極に電圧（ゲート電圧）を加え、その電圧は、ビデオ信号によって変化するようににしてもよい。これにより、ビデオ信号用電流の大きさを変えることができる。また、図47のように、トランジスタ183のゲート電極に加える電圧（ゲート電

圧)をアナログ電圧にして、階調にしたがって、電圧を変化させ、電流を変えるようにしてもよい。

続いて図23、24、25とは異なる構成のビデオ信号用電流源109を図9に示す。図23では、図6(C)の電流源回路を適用していた。図9では、図6(A)の電流源回路を適用している。

図23の場合、トランジスタ183~186の特性がばらつくと、電流値もばらついてしまう。一方、図9では、各電流源に対して設定動作を行っている。よって、トランジスタのばらつきの影響を小さくすることができる。ただし、図9の場合、設定動作を行っているときには、入力動作(電流線へ電流を供給する動作)を同時  
10 に行うことができない。よって、設定動作は、入力動作を行っていない期間に行う必要がある。入力動作を行っている期間にも設定動作ができるようにするためには、図10のように、複数の電流源回路を配置し、一方の電流源回路が設定動作を行っている時には、もう一方の電流源回路で入力動作を行うようにしてもよい。

なお本実施の形態は、実施の形態1~5と自由に組み合わせることが可能である。

#### 15 (実施の形態7)

本発明の実施の形態について、図11を用いて説明する。図11(A)において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路に電流源A、定電流回路に電流源Bを配置する。電流源A、Bから供給される電流を $I_A$ 、 $I_B$ とし、画素に供給される信号電流を $I_{data}$ とすると、 $I_A = I_B + I_{data}$ が成  
20 立する。そして、画素に信号電流を書き込む際には、電流源A、Bの両者から電流を供給するように設定する。このとき、 $I_A$ 、 $I_B$ を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

このとき、電流源Aを用いて、電流源Bの設定動作を行う。画素には、電流源Aからの電流から電流源Bの電流を差し引いた電流が流れる。したがって、電流源A  
25 を用いて、電流源Bの設定動作を行うことにより、さまざまなノイズなどの影響をより小さくできる。

図11(B)において、ビデオ信号用定電流源（以下定電流源と表記）C、Eは、画素部の上方と下方に配置される。そして、電流源C、Eを用いて、信号線駆動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源Dは、電流源C、Eを設定する電流源に相当し、外部からビデオ信号用電流が供給される。

- 5     なお、図11(B)において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにすることで、同時に2行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとりこ
- 10    とが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態1～6と任意に組み合わせることが可能である。

#### 〈実施例1〉

- 本実施例では、時間階調方式について図14を用いて詳しく説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は60Hz程度で
- 15    ある。つまり図14(A)に示すように、1秒間に60回程度の画面の描画が行われる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を1回行う期間を1フレーム期間と呼ぶ。

- 本実施例では一例として、特許文献1の公報にて公開されている時間階調方式を説明する。時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割す
- 20    る。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では3ビット階調であるので、3つのサブフレーム期間SF1～SF3に分割している例を示す（図14(B)）。

- 各サブフレーム期間は、アドレス（書き込み）期間 $T_a$ と、サステイン（発光）
- 25    期間 $T_s$ とを有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間におい



- て画素に書き込まれたビデオ信号に基づいて発光素子が発光する期間である。このとき、サステイン（発光）期間  $SF1 \sim SF3$  は、その長さの比を  $Ts1 : Ts2 : Ts3 = 4 : 2 : 1$  としている。つまり、 $n$  ビット階調を表現する際は、 $n$  個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$  としている。そして、
- 5    どのサステイン期間で発光素子が発光するかによって、1 フレーム期間あたりに、各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、本実施例では図 16 (B) に示す画素を参照して説明する。図 16 (B) に示す画素は、電流入力方式が適用される。

- 10    まずアドレス期間  $Ta$  においては、以下の動作を行う。第 1 の走査線 602 および第 2 の走査線 603 が選択されて、 $TFT606$ 、607 がオンする。このとき、信号線 601 を流れる電流を信号電流  $I_{data}$  とする。そして容量素子 610 には所定の電荷が蓄積されると、第 1 の走査線 602 および第 2 の走査線 603 の選択が終了して、 $TFT606$ 、607 がオフする。
- 15    次いでサステイン期間  $Ts$  においては、以下の動作を行う。第 3 の走査線 604 が選択されて、 $TFT609$  がオンする。容量素子 610 には先ほど書き込んだ所定の電荷が保持されているため、 $TFT608$  はオンしており、電流線 605 から信号電流  $I_{data}$  に等しい電流が流れる。これにより発光素子 611 が発光する。

以上の動作を各サブフレーム期間で行うことにより、1 フレーム期間を構成する。

- 20    この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図 14 (B) (C) に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1 フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内で、その順序が変化しても良い。

- 25    また、 $m$  行目の走査線のサブフレーム期間  $SF2$  を図 14 (D) に図示する。図 14 (D) に図示するように、画素ではアドレス期間  $Ta2$  が終了したら、直ちに

サステイン期間 $T_{s2}$ が開始されている。

本実施例は、実施の形態1～7と任意に組み合わせることが可能である。

〈実施例2〉

本実施例では、画素部に設けられる画素の回路の構成例について図13を用いて

5 説明する。

なお電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

図13(A)の画素は、信号線1101、第1および第2の走査線1102、1103、電流線(電源線)1104、スイッチング用TFT1105、保持用TFT1106、駆動用TFT1107、変換駆動用TFT1108、容量素子1109、発光素子1110とを有する。各信号線は、電流源回路1111に接続されている。

なお、電流源回路1111が、信号線駆動回路403に配置されている電流源回路420に相当する。

15 スwitchング用TFT1105のゲート電極は、第1の走査線1102に接続され、第1の電極は信号線1101に接続され、第2の電極は駆動用TFT1107の第1の電極と、変換駆動用TFT1108の第1の電極とに接続されている。保持用TFT1106のゲート電極は、第2の走査線1103に接続され、第1の電極は変換駆動用TFT1106の第1の電極に接続され、第2の電極は駆動用TFT1107のゲート電極と、変換駆動用TFT1108のゲート電極とに接続されている。駆動用TFT1107の第2の電極は、電流線(電源線)1104に接続され、変換駆動用TFT1108の第2の電極は、発光素子1110の一方の電極に接続されている。容量素子1109は、変換駆動用TFT1108のゲート電極と第2の電極との間に接続され、変換駆動用TFT1108のゲート・ソース間電  
20 圧を保持する。電流線(電源線)1104および発光素子1110の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13(A)の画素は、図29(B)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13(A)の駆動用TFT1107が図29(B)のTFT126に相当し、図13(A)の変換駆動用TFT1108が図29(B)のTFT122に相当し、図13(A)の保持用TFT1106が図29(B)のTFT124に相当する。

図13(B)の画素は、信号線1151、第1及び第2の走査線1142、1143、電流線(電源線)1144、スイッチング用TFT1145、保持用TFT1146、変換駆動用TFT1147、駆動用TFT1148、容量素子1149、発光素子1140とを有する。信号線1151は電流源回路1141に接続されている。

なお、電流源回路1141が、信号線駆動回路403に配置されている電流源回路420に相当する。

スイッチング用TFT1145のゲート電極は、第1の走査線1142に接続され、第1の電極は信号線1151に接続され、第2の電極は駆動用TFT1148の第1の電極と、変換駆動用TFT1147の第1の電極とに接続されている。保持用TFT1146のゲート電極は、第2の走査線1143に接続され、第1の電極は駆動用TFT1148の第1の電極に接続され、第2の電極は駆動用TFT1148のゲート電極と、変換駆動用TFT1147のゲート電極とに接続されている。変換駆動用TFT1147の第2の電極は、電流線(電源線)1144に接続され、駆動用TFT1148の第2の電極は、発光素子1140の一方の電極に接続されている。容量素子1149は、変換駆動用TFT1147のゲート電極と第2の電極との間に接続され、変換駆動用TFT1147のゲート・ソース間電圧を保持する。電流線(電源線)1144および発光素子1140の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13(B)の画素は、図6(B)の回路を画素に適用した場合に相当す

る。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13(B)の変換駆動用TFT1147が図6(B)のTFT122に相当し、図13(B)の駆動用TFT1148が図6(B)のTFT126に相当し、図13(B)の保持用TFT1146が図6(B)のTFT124に相当する。

- 5 図13(C)の画素は、信号線1121、第1の走査線1122、第2の走査線1123、第3の走査線1135、電流線1124、電流線1138、スイッチング用TFT1125、消去用TFT1126、駆動用TFT1127、容量素子1128、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132、保持TFT1133、発光素子1136とを有する。各信号
- 10 線は、電流源回路1137に接続されている。

- スイッチング用TFT1125のゲート電極は、第1の走査線1122に接続され、スイッチング用TFT1125の第1の電極は信号線1121に接続され、スイッチング用TFT1125の第2の電極は駆動用TFT1127のゲート電極と、消去用TFT1126の第1の電極とに接続されている。消去用TFT112
- 15 6のゲート電極は、第2の走査線1123に接続され、消去用TFT1126の第2の電極は電流線1124に接続されている。駆動用TFT1127の第1の電極は発光素子1136の一方の電極に接続され、駆動用TFT1127の第2の電極は電流源TFT1129の第1の電極に接続されている。電流源TFT1129の第2の電極は電流線1124に接続されている。容量素子1131の一方の電極は、
- 20 電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続され、他方の電極は電流線1124に接続されている。ミラーTFT1130の第1の電極は電流線1124に接続され、ミラーTFT1130の第2の電極は、電流入力TFT1132の第1の電極に接続されている。電流入力TFT1132の第2の電極は電流線1138に接続され、電流入力TFT1132のゲート電極
- 25 は第3の走査線1135に接続されている。電流保持TFT1133のゲート電極は第3の走査線1135に接続され、電流保持TFT1133の第1の電極は電源

線 1 1 3 8 に接続され、電流保持 T F T 1 1 3 3 の第 2 の電極は電流源 T F T 1 1 2 9 のゲート電極及びミラー T F T 1 1 3 0 のゲート電極に接続されている。電流線 1 1 2 4 および発光素子 1 1 3 6 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

- 5    本実施例は、実施の形態 1 ～ 7、実施例 1 と任意に組み合わせることが可能である。

〈実施例 3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

- 10    発光素子が有機 EL 素子である場合、発光素子に同じ大きさの電流を流しても、色によって、その輝度が異なる場合がある。また、発光素子が経時的な要因などにより劣化した場合、その劣化の度合いは、色によって異なる。そのため、発光素子を用いた発光装置において、カラー表示を行う際には、そのホワイトバランスを調節するためにさまざまな工夫が必要である。

最も単純な手法は、画素に入力する電流の大きさを色によって変えることである。

- 15    そのためには、ビデオ信号用定電流源の電流の大きさを色によって変えればよい。

- その他の手法としては、画素、信号線駆動回路、ビデオ信号用定電流源などにおいて、図 6 (C) ～図 6 (E) のような回路を用いることである。そして、図 6 (C) ～図 6 (E) のような回路において、カレントミラー回路を構成する 2 つのトランジスタの W/L の比率を色によって変える。これにより、画素に入力する電流の大き  
20    さが色によって変えることができる。

さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合、また用いていない場合のどちらの場合にも適用できる。本手法により、各画素の輝度を調節することができる。

- 25    以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、ホワイトバランスを容易に調節することができる。

本実施例は、実施の形態 1 ～ 7、実施例 1、2 と任意に組み合わせることが可能

である。

〈実施例 4〉

本実施例では、本発明の発光装置（半導体装置）の外観について、図 1 2 を用いて説明する。図 1 2 は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図 1 2 (B) は、図 1 2 (A) の A-A' における断面図、図 1 2 (C) は図 1 2 (A) の B-B' における断面図である。

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とは、複数の TFT を有している。図 1 2 (B) では代表的に、下地膜 4 0 1 0 上に形成された、ソース信号線駆動回路 4 0 0 3 に含まれる駆動 TFT (但し、ここでは n チャネル型 TFT と p チャネル型 TFT を図示) 4 2 0 1 及び画素部 4 0 0 2 に含まれる消去用 TFT 4 2 0 2 を図示した。

本実施例では、駆動 TFT 4 2 0 1 には公知の方法で作製された p チャネル型 TFT または n チャネル型 TFT が用いられ、消去用 TFT 4 2 0 2 には公知の方法で作製された n チャネル型 TFT が用いられる。

駆動 TFT 4 2 0 1 及び消去用 TFT 4 2 0 2 上には層間絶縁膜（平坦化膜）4 3 0 1 が形成され、その上に消去用 TFT 4 2 0 2 のドレインと電氣的に接続する画素電極（陽極）4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい

透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

- 5     そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2 は画素電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には発光層 4 2 0 4 が形成される。発光層 4 2 0 4 は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。
- 10    発光層 4 2 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層 4 2 0 4 の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

- 発光層 4 2 0 4 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰
- 15    極 4 2 0 5 が形成される。また、陰極 4 2 0 5 と発光層 4 2 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、発光層 4 2 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 2 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極
- 20    4 2 0 5 は所定の電圧が与えられている。

以上のようにして、画素電極（陽極） 4 2 0 3、発光層 4 2 0 4 及び陰極 4 2 0 5 からなる発光素子 4 3 0 3 が形成される。そして発光素子 4 3 0 3 を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子 4 3 0 3 に酸素や水分等が入り込むのを防ぐのに効果的である。

- 25    4 0 0 5 a は電源線に接続された引き回し配線であり、消去用 TFT 4 2 0 2 のソース領域に電氣的に接続されている。引き回し配線 4 0 0 5 a はシール材 4 0 0

9と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

10 但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、  
15 アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面  
20 に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質  
25 質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。



図12(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

本実施例は、実施の形態1～7、実施例1～3と任意に組み合わせることが可能である。

#### 〈実施例5〉

10 発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、  
15 音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携  
20 帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図22に示す。

図22(A)は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。また本発明により、図22(A)に示す  
25 発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソ

コン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図22(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。また本発明により、図22(B)に示すデジタルスチルカメラが完成される。

図22(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。また本発明により、図22(C)に示す発光装置が完成される。

10 図22(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。また本発明により、図22(D)に示すモバイルコンピュータが完成される。

図22(E)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図22(E)に示すDVD再生装置が完成される。

図22(F)はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。また本発明により、図22(F)に示すゴーグル型ディスプレイが完成される。

図22(G)はビデオカメラであり、本体2601、表示部2602、筐体26

03、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明の発光装置は表示部2602に用いることができる。また本発明により、図22(G)に示すビデオカメラが完成される。

- 5     ここで図22(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図22
- 10    (H)に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

- また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子
- 15    通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

- また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合に
- 20    は、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

- 以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態1～7、実施例1～6
- 25    に示したいずれの構成の発光装置を用いても良い。

本発明は、TFTの特性バラツキの影響を抑制して、所望の信号電流を外部に供

給することができる信号線駆動回路を提供することができる。

本発明は上記のような電流源回路を有する信号線駆動回路が設けられた発光装置を提供し、さらにTFTの特性バラツキの影響を抑制した回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの影響を

5 抑制して、所望の信号電流  $I_{data}$  を発光素子に供給することができる発光装置を提供する。

## 請 求 の 範 囲

1. 複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源を有する信号線駆動回路であって（nは1以上  
5 の自然数）、

前記第1及び前記第2電流源回路の各々は、容量手段と供給手段を有し、

- 前記シフトレジスタから供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記第1及び前記第2電流源回路の一方が有する容量手段は、前記n個のビデオ信号用定電流源の各々から供給される電流を加算した電流を  
10 電圧に変換し、他方が有する供給手段は前記変換された電圧に応じた電流を供給し、

前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする信号線駆動回路。

2. 複数の信号線の各々に対応した（ $2 \times n$ ）個の電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源を有する信号線駆動回路であって（nは1以  
15 上の自然数）、

前記（ $2 \times n$ ）個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記n個のビデオ信号用定電流源のいずれか1つから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

- 20 前記複数の信号線の各々には、前記（ $2 \times n$ ）個の電流源回路から選択されたn個から電流が供給され、

前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする信号線駆動回路。

3. 請求項1又は請求項2において、

- 25 前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する

電圧を保持することを特徴とする信号線駆動回路。

4. 請求項 1 又は請求項 2 において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第 1 スイッチと、前記ビデオ信号用定電流源と前記トランジスタのゲ

5 トの導通を制御する第 2 スイッチと、前記トランジスタのドレインと画素の導通を制御する第 3 スイッチとを有することを特徴とする信号線駆動回路。

5. 請求項 1 又は請求項 2 において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第 1 又は  
10 前記第 2 トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

6. 請求項 1 又は請求項 2 において、

前記供給手段は、第 1 及び第 2 トランジスタで構成されるカレントミラー回路と、前記第 1 及び前記第 2 トランジスタのゲートとソースの導通を制御する第 1 スイ  
15 ッチと、前記ビデオ信号用定電流源と前記第 1 及び前記第 2 トランジスタのゲートの導通を制御する第 2 スイッチを有することを特徴とする信号線駆動回路。

7. 請求項 1 又は請求項 2 において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・  
20 ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

8. 請求項 1 又は請求項 2 において、

前記供給手段は、第 1 及び第 2 のトランジスタを含むカレントミラー回路と、前記ビデオ信号用定電流源と前記第 1 トランジスタのドレインとの導通を制御する第 1 スイッチと、

25 前記第 1 トランジスタのドレインとゲート、前記第 1 トランジスタのゲートと前記第 2 トランジスタのゲート、前記第 1 及び前記第 2 トランジスタのゲートと前記

ビデオ信号用定電流源から選択されたいずれか1つとの導通を制御する第2スイッチとを有することを特徴とする信号線駆動回路。

9. 請求項6乃至請求項8のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定される

5 ことを特徴とする信号線駆動回路。

10. 請求項6乃至請求項8のいずれか一項において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

11. 請求項1又は請求項2において、

10 前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第1及び第2スイッチと、前記トランジスタのゲートとドレインの導通を制御する第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタのソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3ス

15 イッチに接続されることを特徴とする信号線駆動回路。

12. 請求項1又は請求項2において、

前記供給手段は、 $m$ 個のトランジスタを含むカレントミラー回路を有し、

前記 $m$ 個のトランジスタのゲート幅/ゲート長は $2_0 : 2_1 : \dots : 2_m$ に設定され、

20 前記 $m$ 個のトランジスタのドレイン電流は $2_0 : 2_1 : \dots : 2_m$ に設定されることを特徴とする信号線駆動回路。

13. 請求項1乃至請求項3のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

25 14. 請求項1又は請求項2において、

前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成される

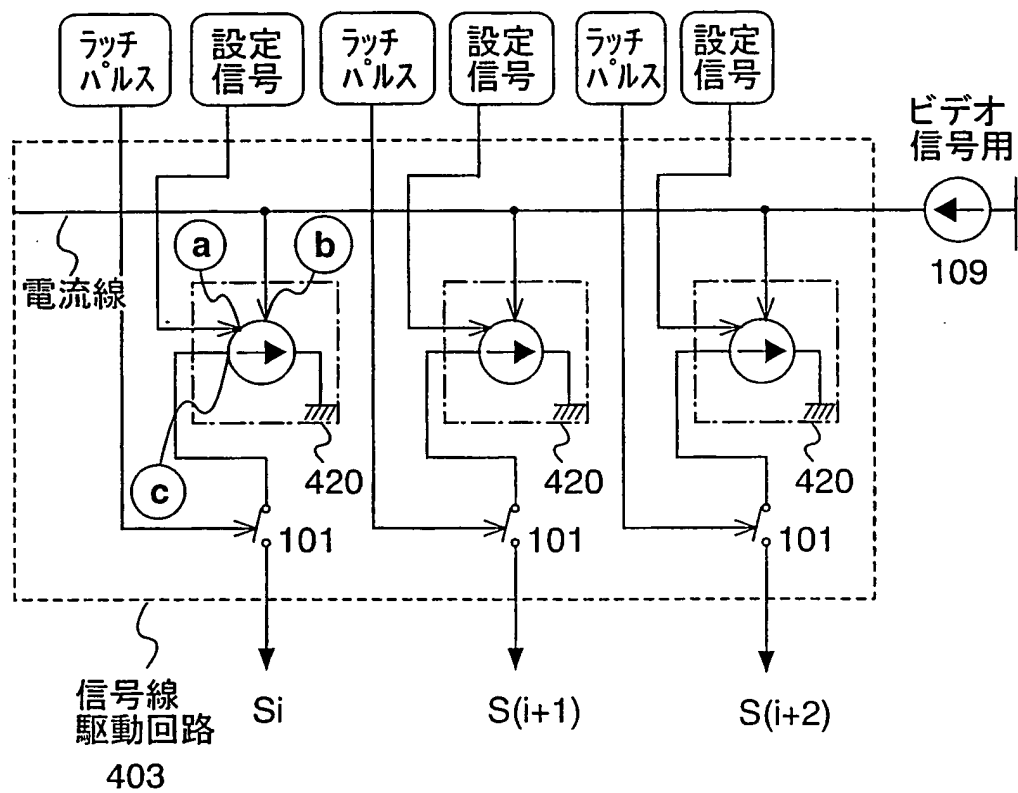
ことを特徴とする信号線駆動回路。

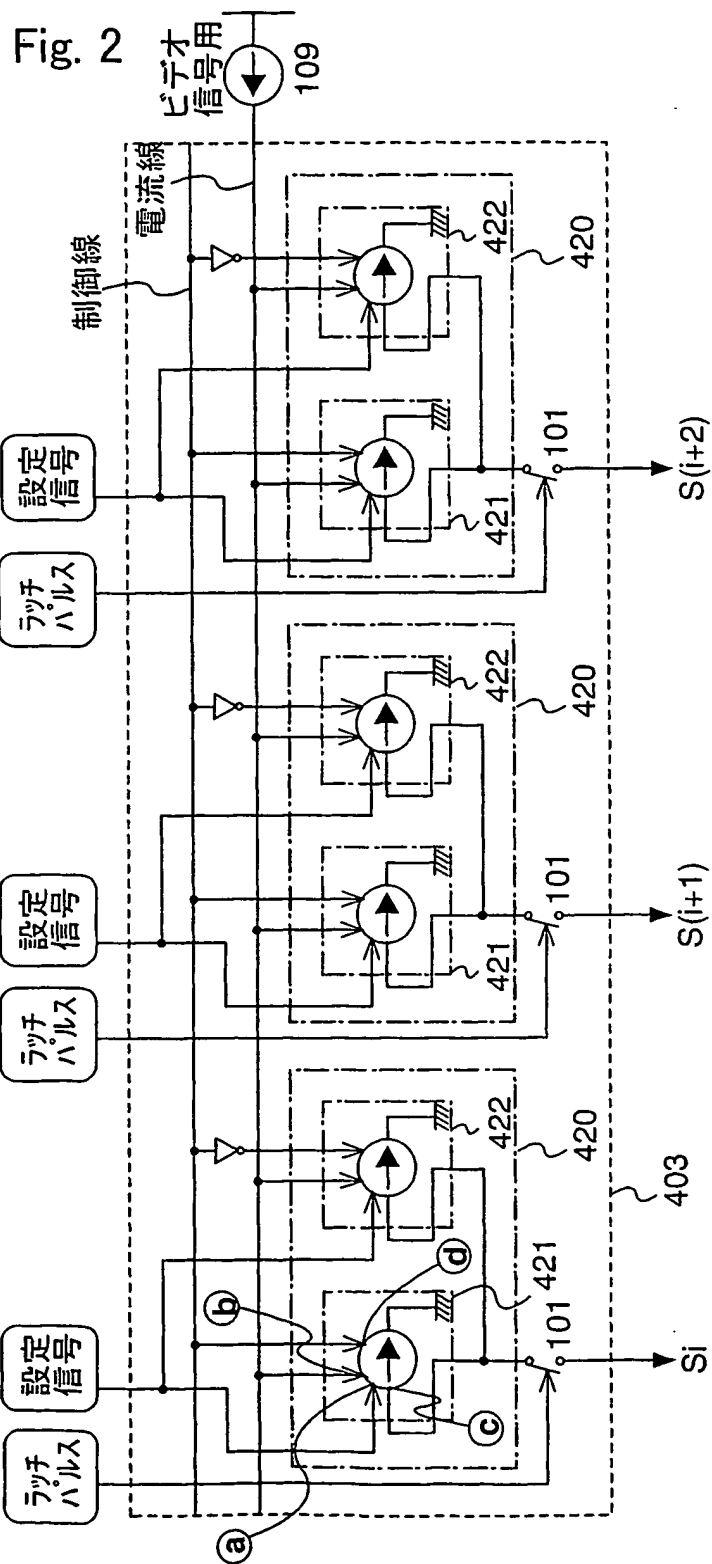
15. 請求項1乃至請求項14のいずれか一項に記載の前記信号線駆動回路と、  
各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有するこ  
とを特徴とする発光装置。



1/46

Fig. 1





3/46

Fig. 3A

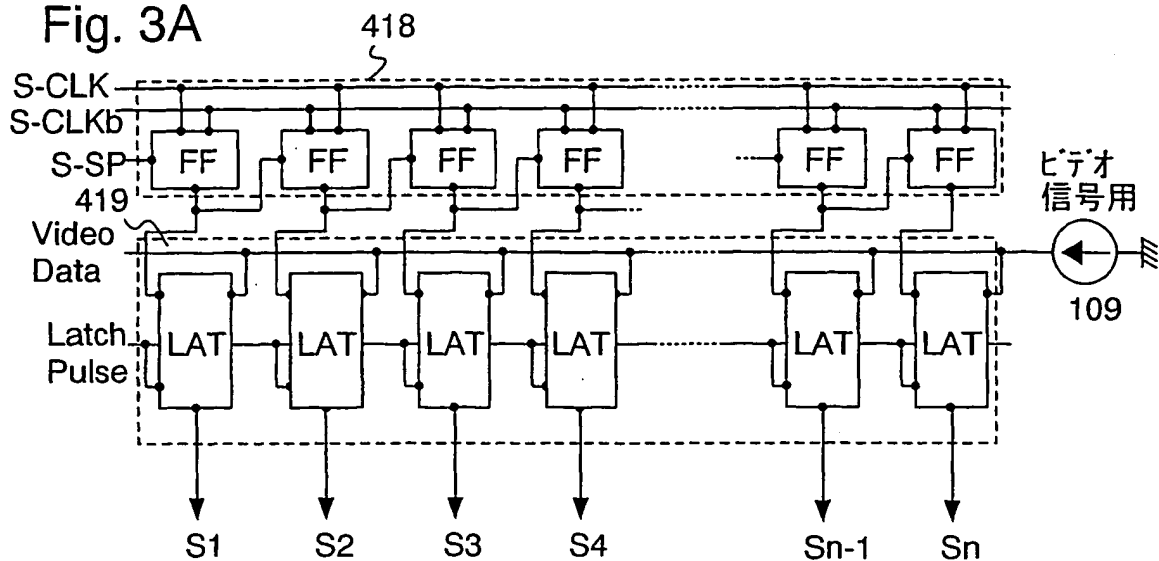


Fig. 3B

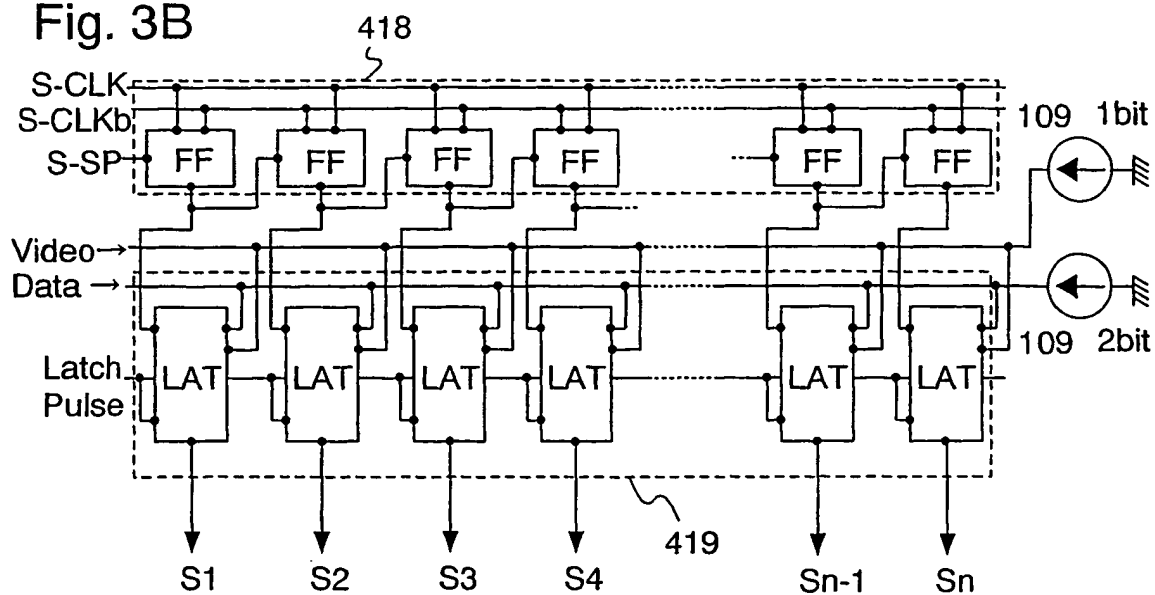
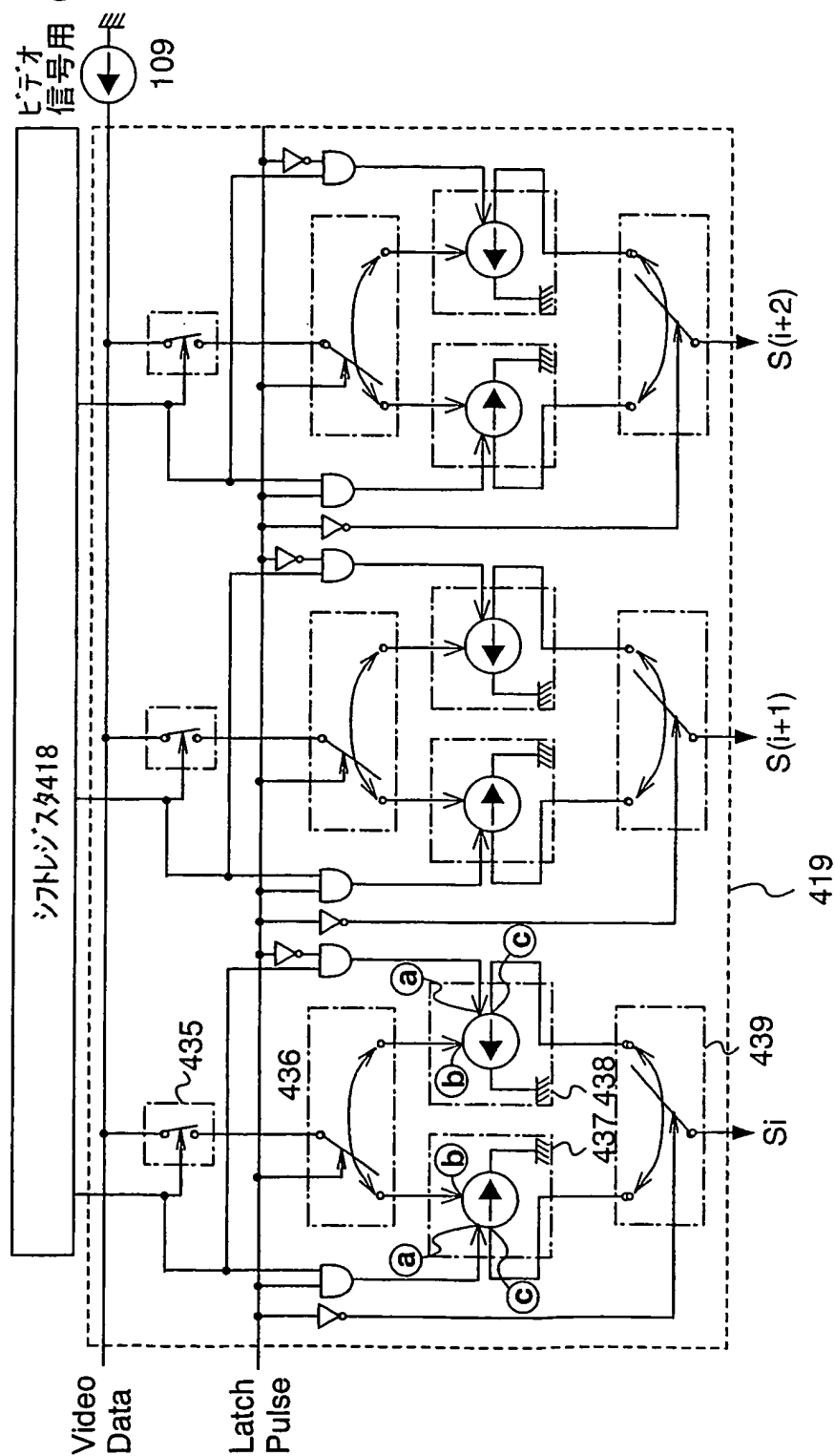
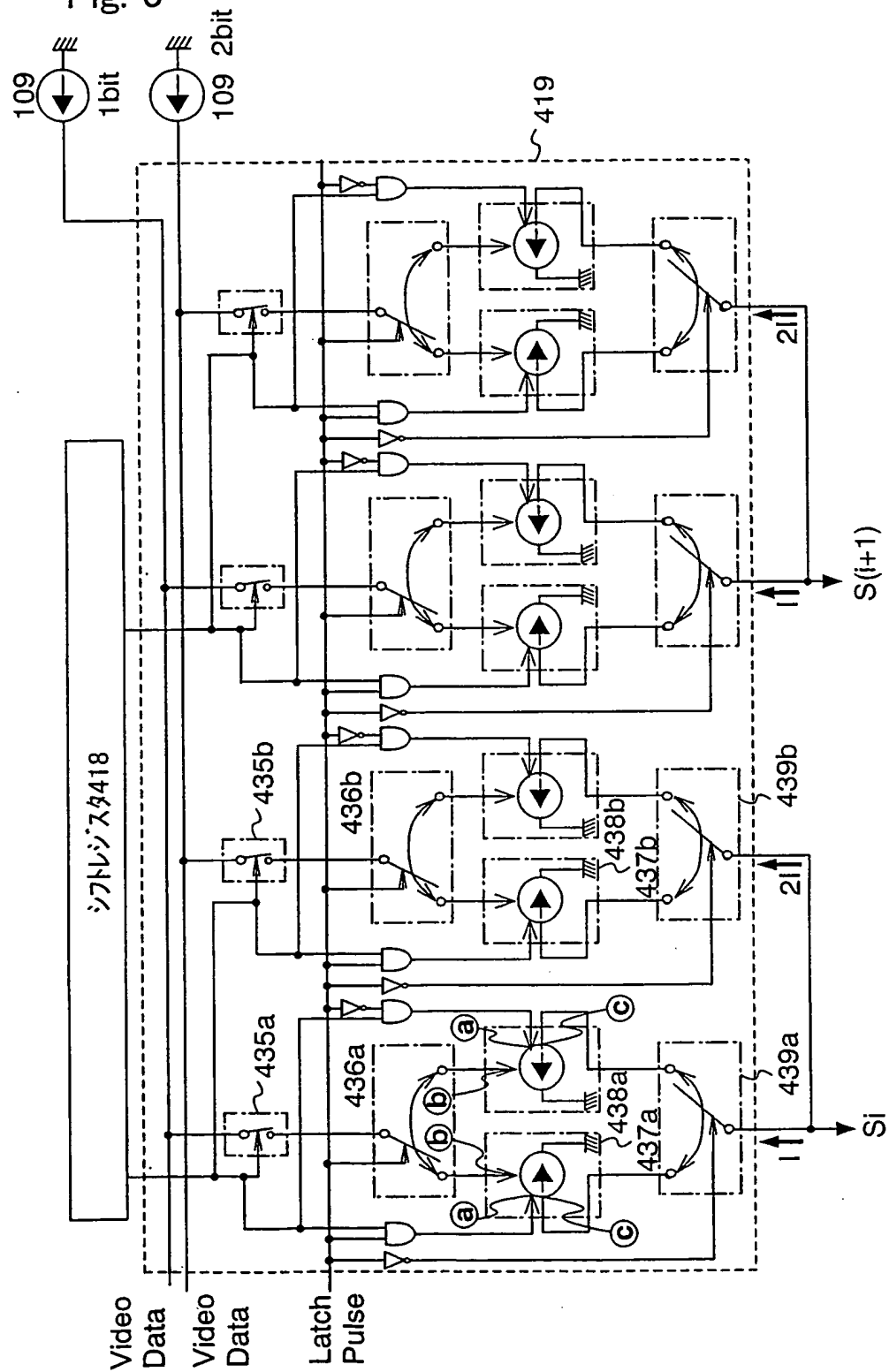


Fig. 4



5/46

Fig. 5



6/46

Fig. 6A

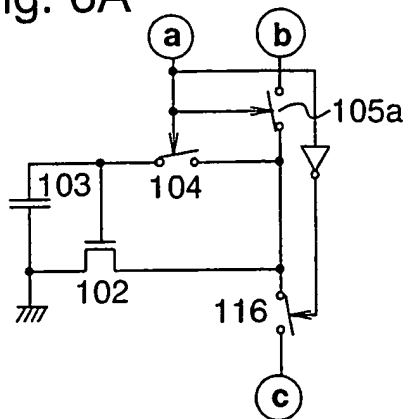


Fig. 6B

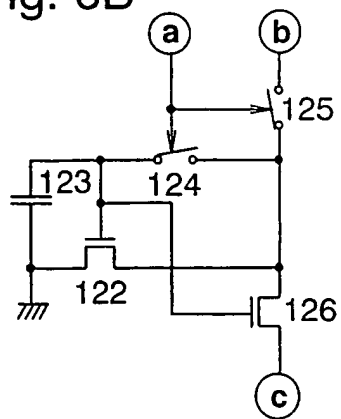


Fig. 6C

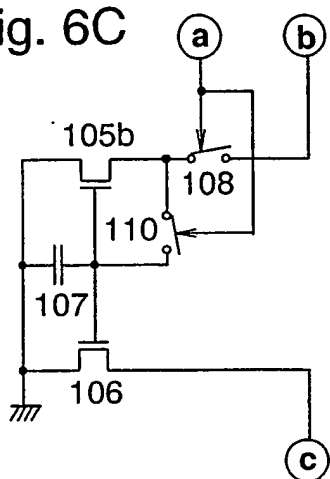


Fig. 6D

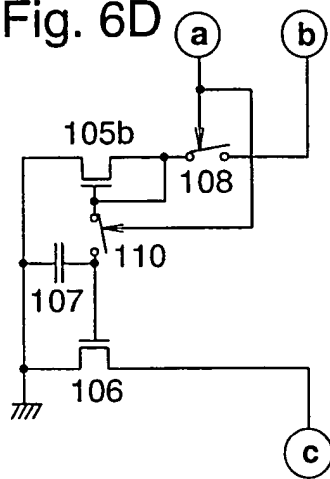
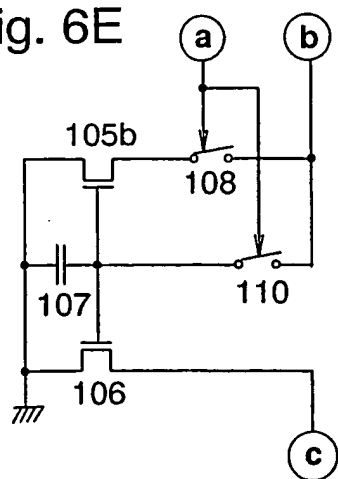
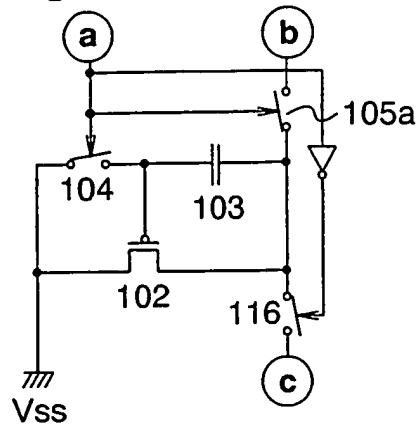


Fig. 6E

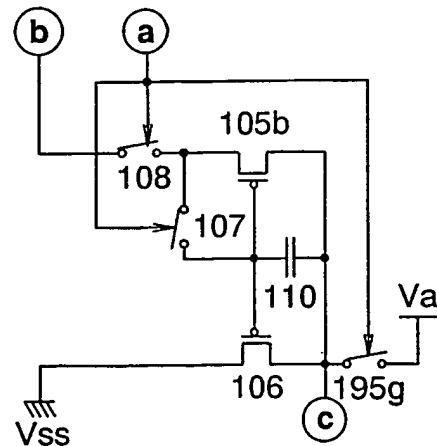


7/46

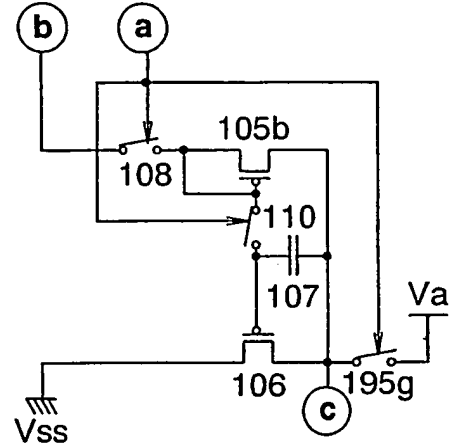
Fig. 7A



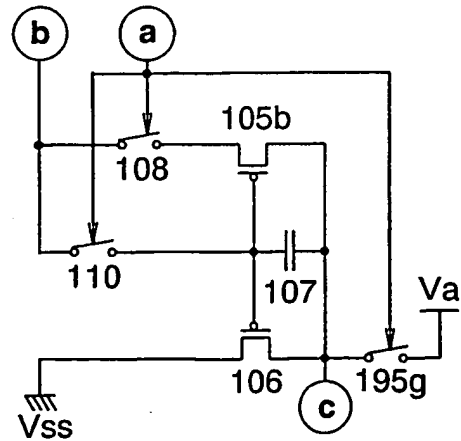
**Fig. 7B**



**Fig. 7C**



**Fig. 7D**



8/46

Fig. 8A

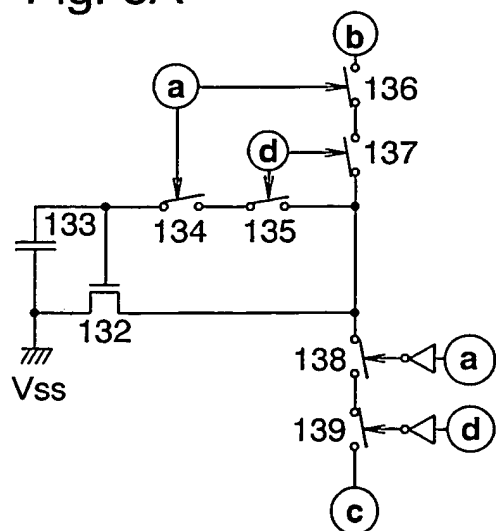
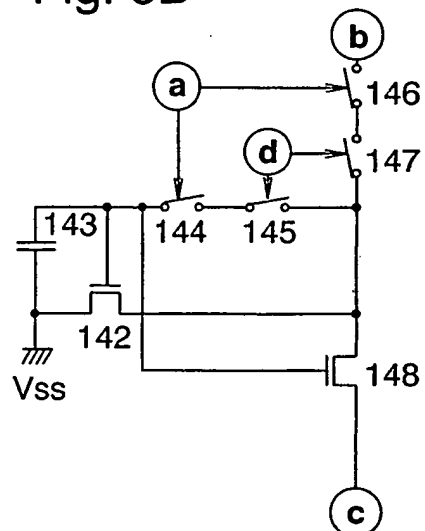


Fig. 8B





9/46

Fig. 9

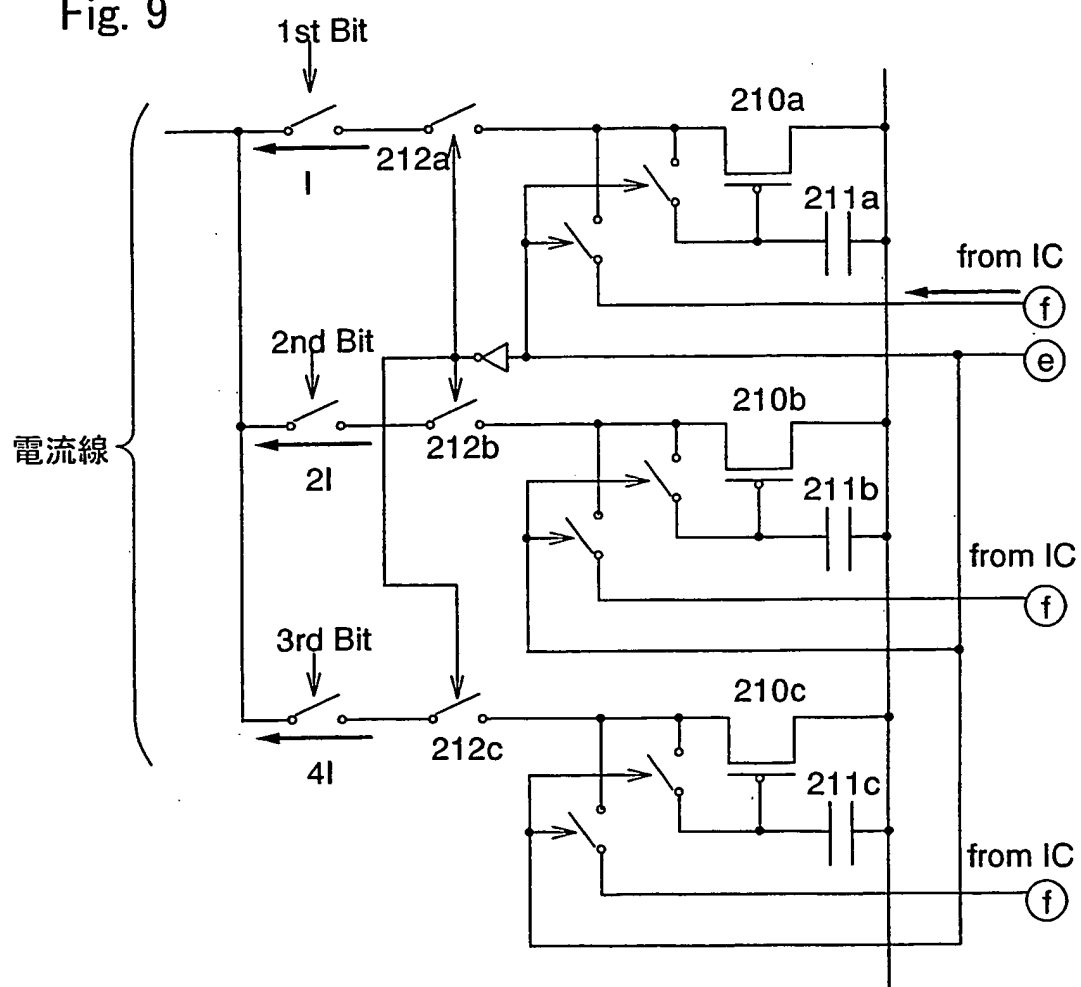
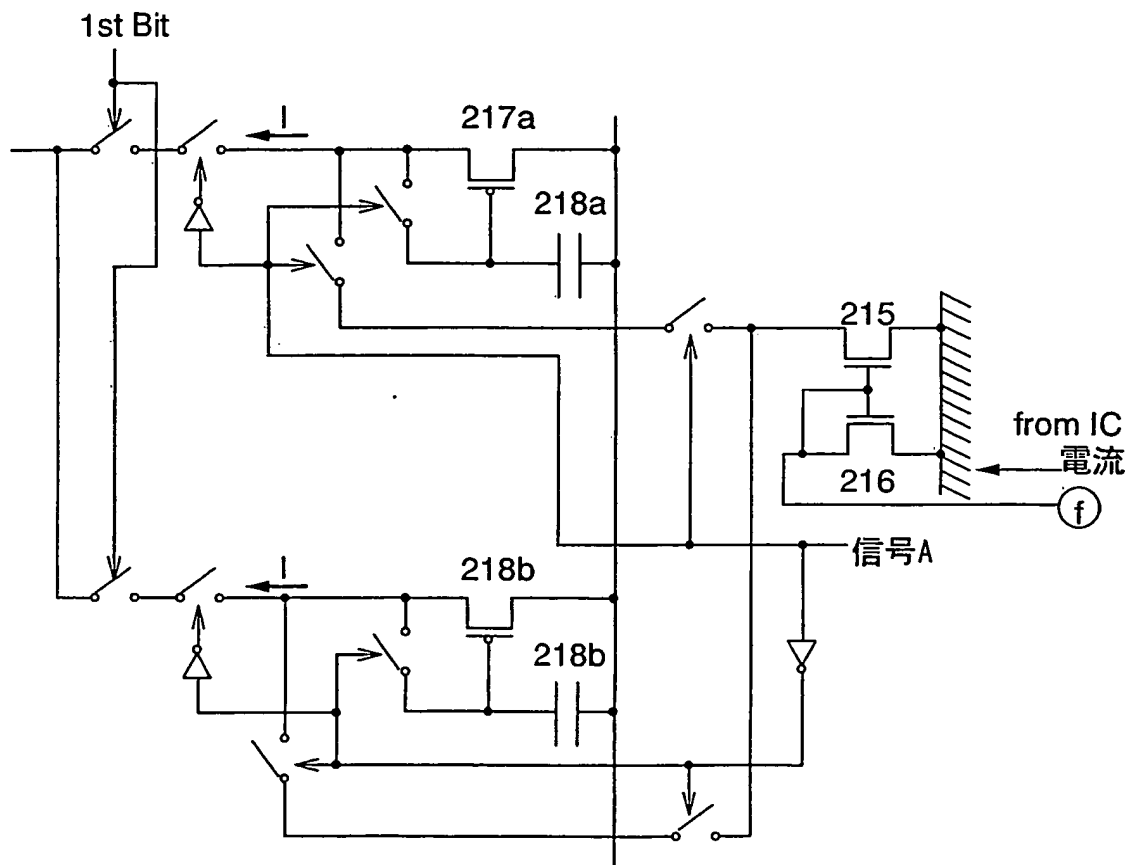


Fig. 10



11/46

Fig. 11A

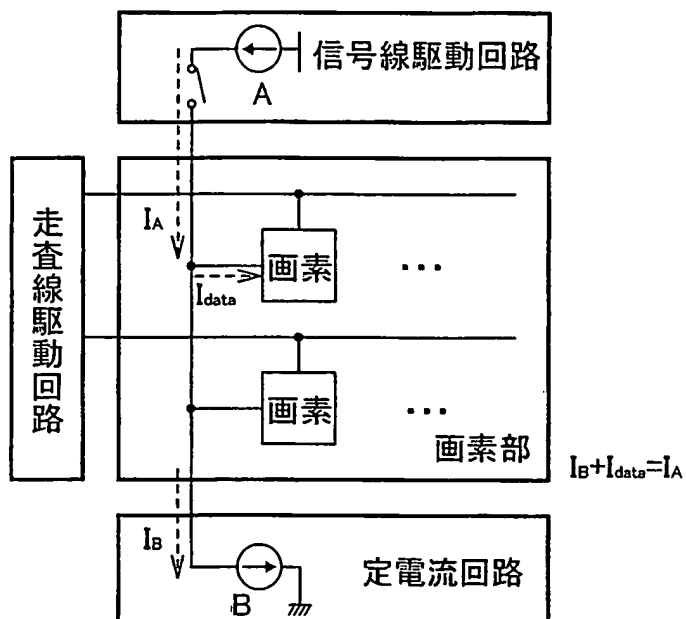
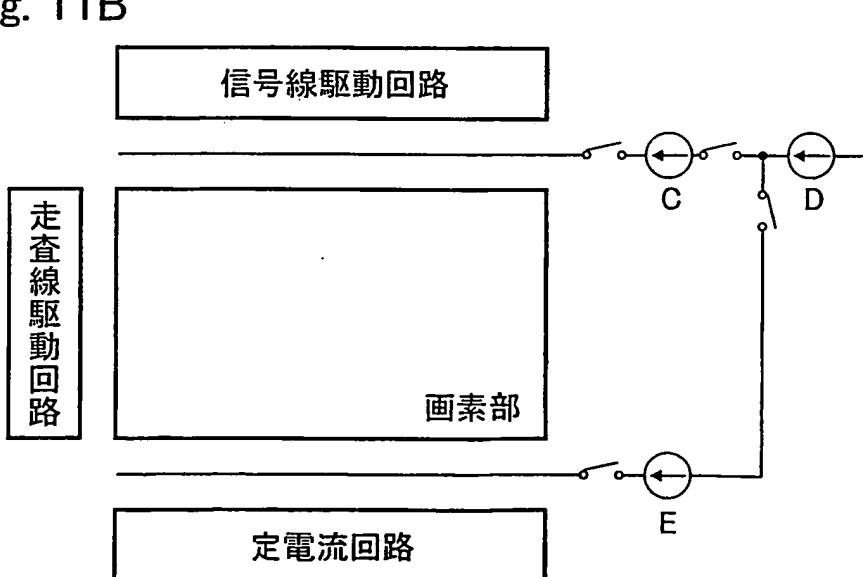


Fig. 11B



12/46

Fig. 12A

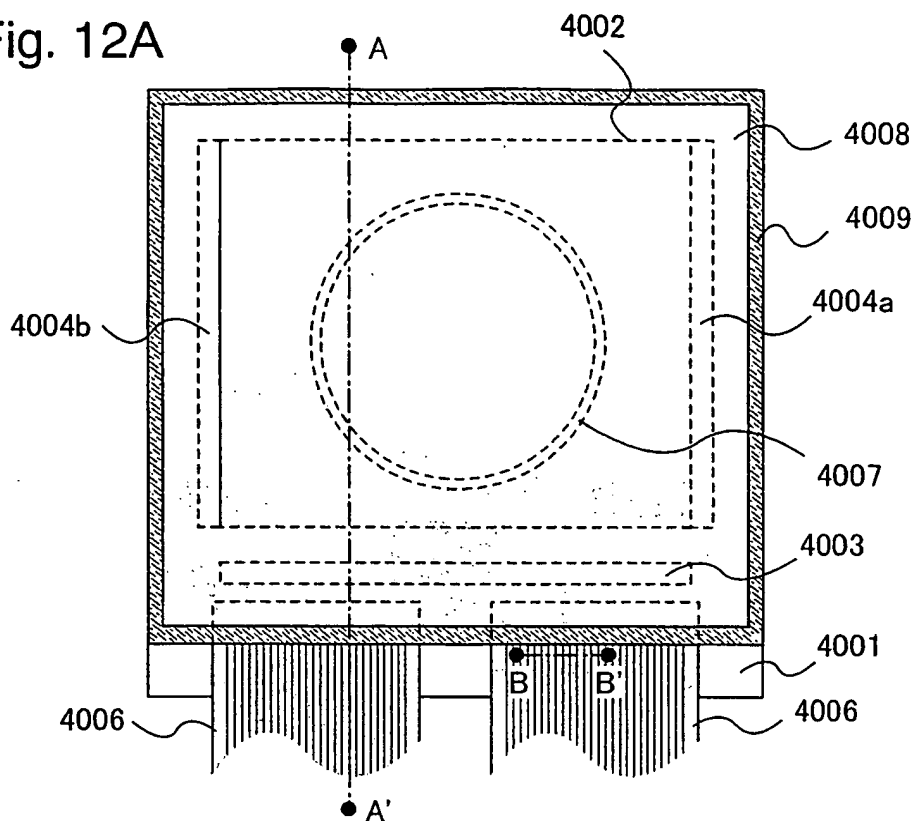


Fig. 12B

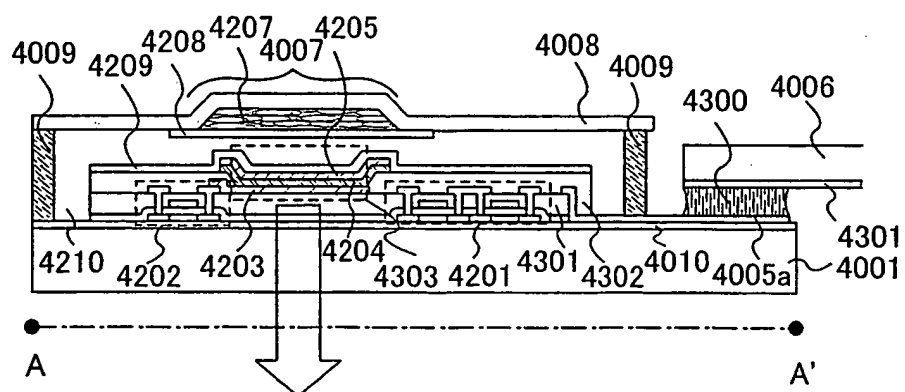
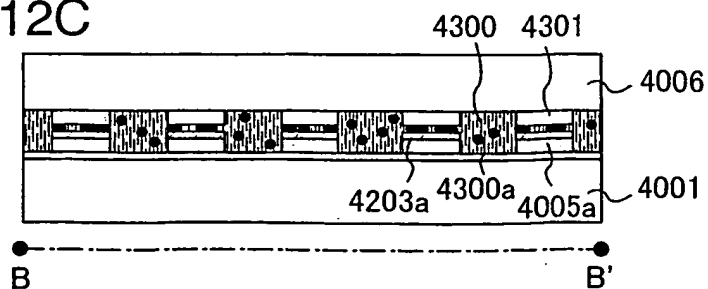


Fig. 12C



**Fig. 13A**

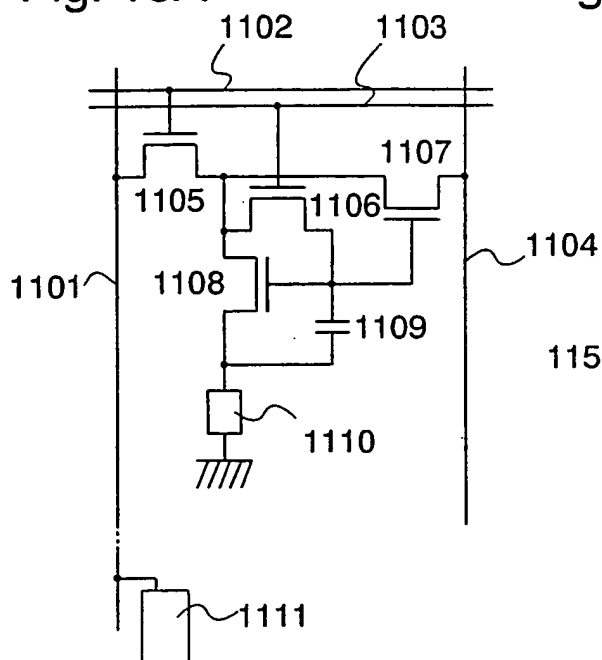
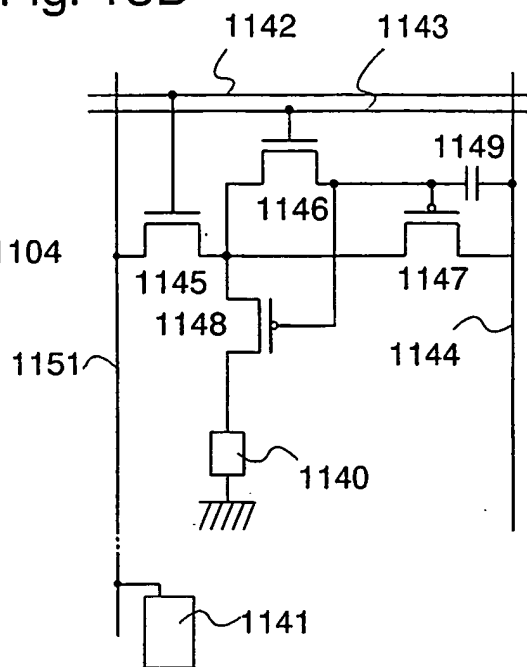
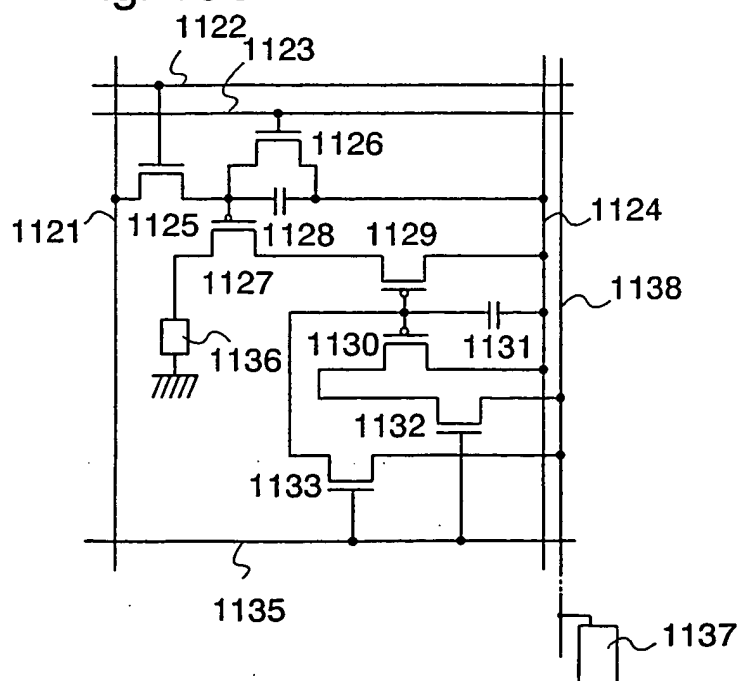


Fig. 13B



**Fig. 13C**



14/46

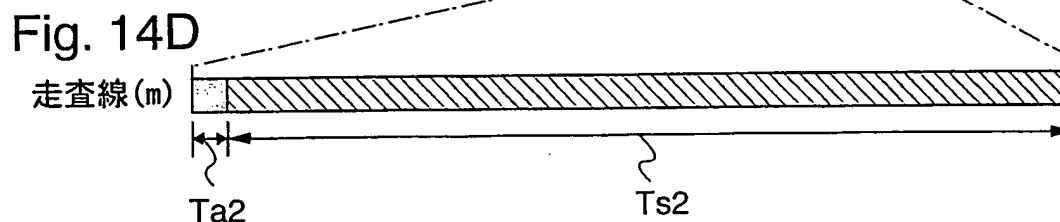
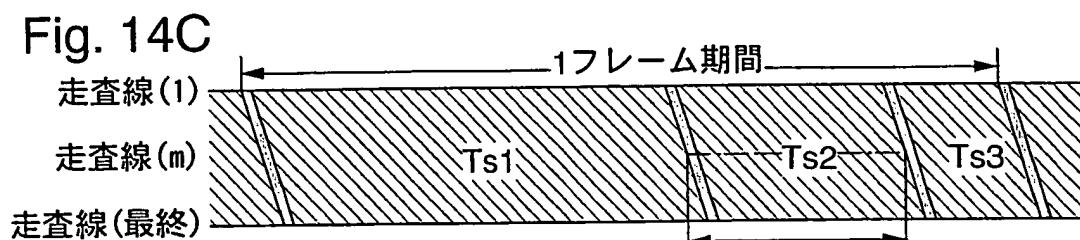
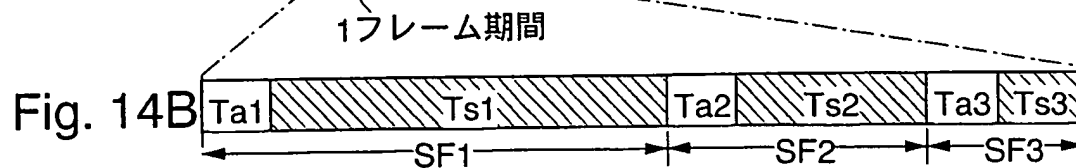
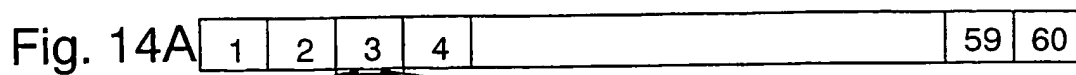


Fig. 15A

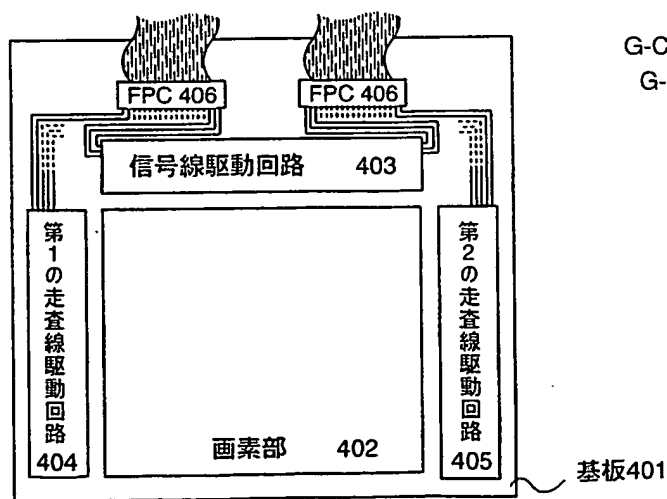
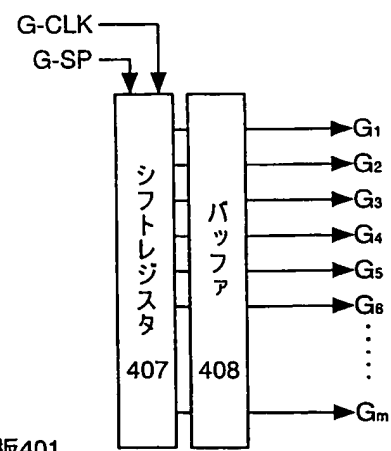
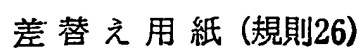
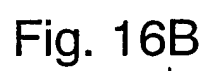


Fig. 15B





16/46

Fig. 17A 信号入力時

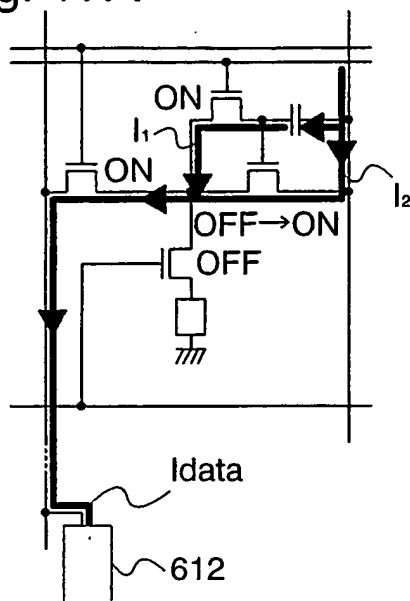


Fig. 17B 信号入力完了時

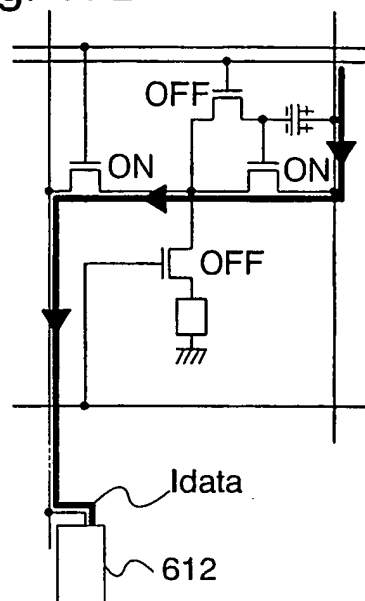


Fig. 17C 発光時

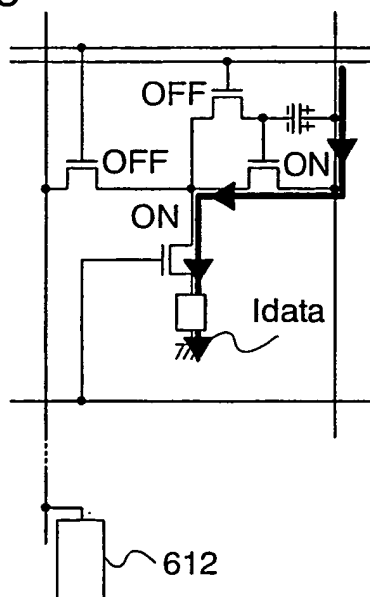


Fig. 17D

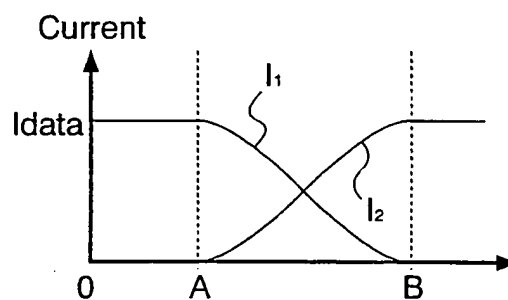
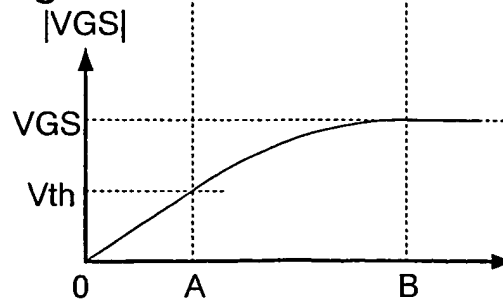


Fig. 17E





17/46

Fig. 18A

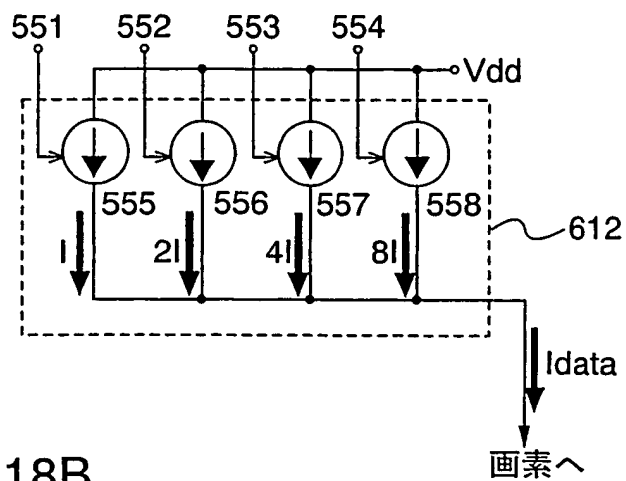
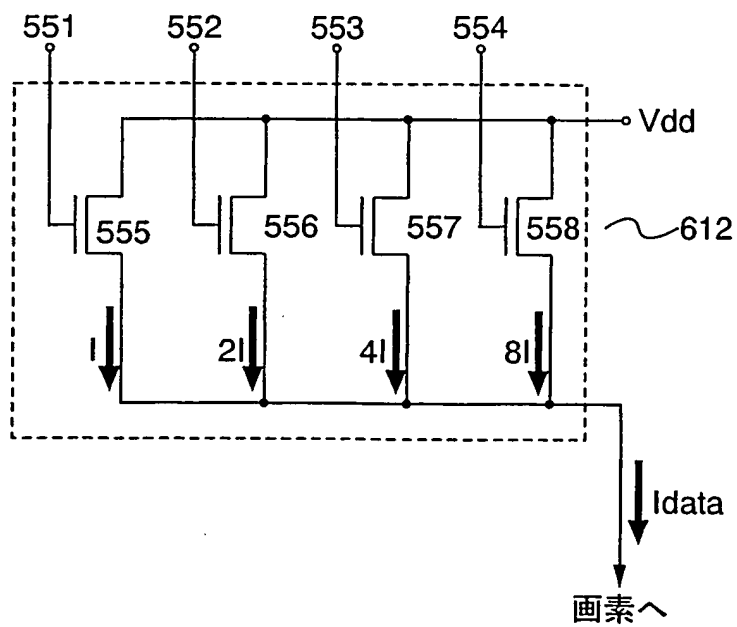


Fig. 18B



18/46

Fig. 19A 信号入力時

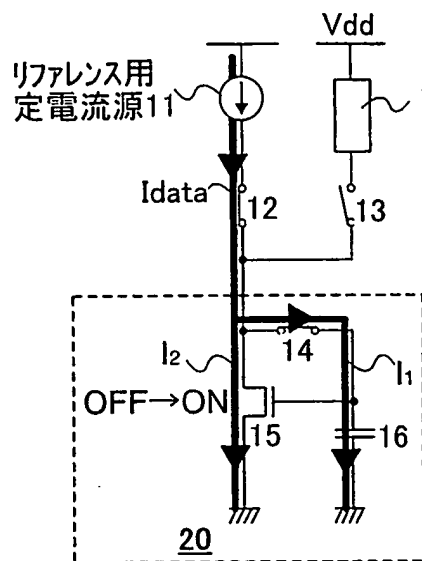


Fig. 19B

信号入力完了時

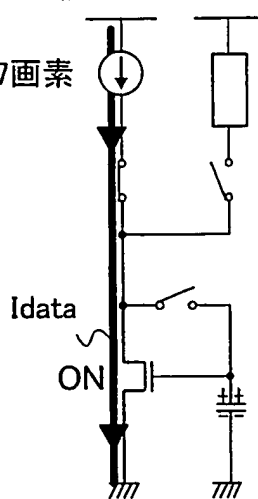


Fig. 19C

画素への信号入力時

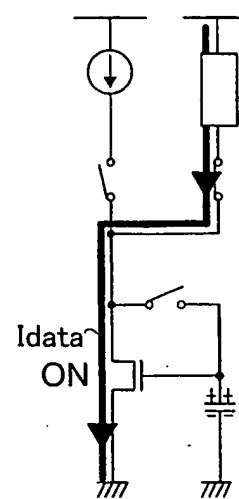


Fig. 19D

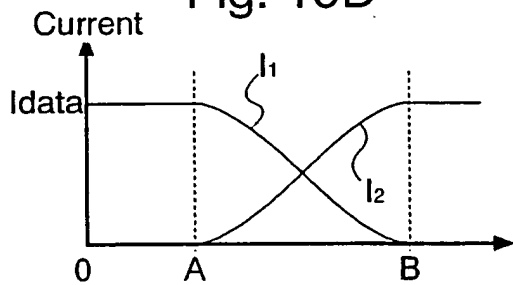


Fig. 19E

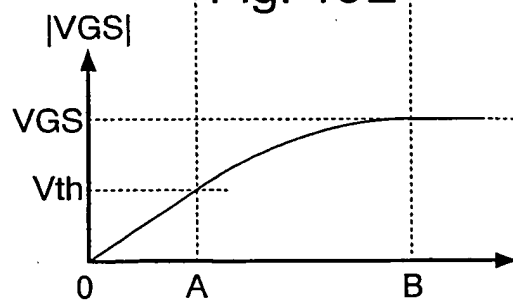


Fig. 19F

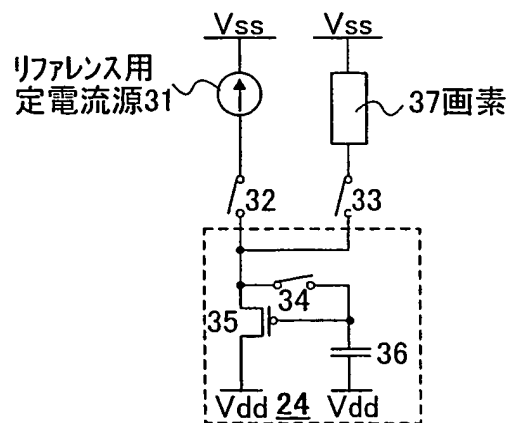


Fig. 20A 信号入力時

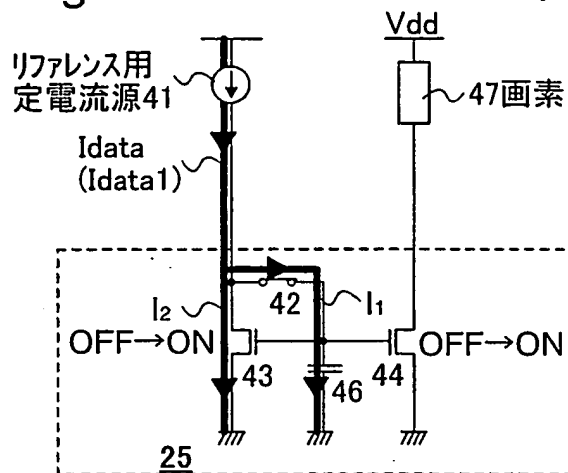


Fig. 20B 信号入力完了時

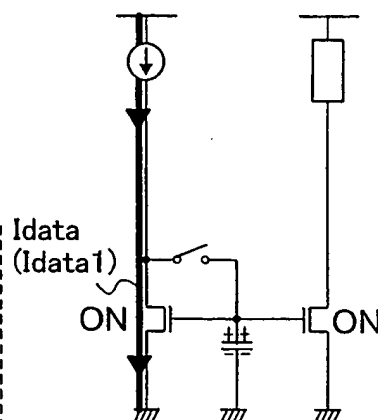


Fig. 20C 画素への信号入力時

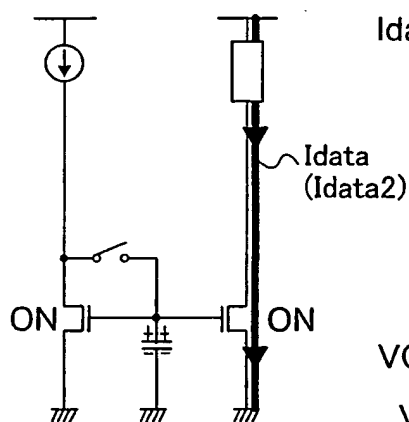


Fig. 20D

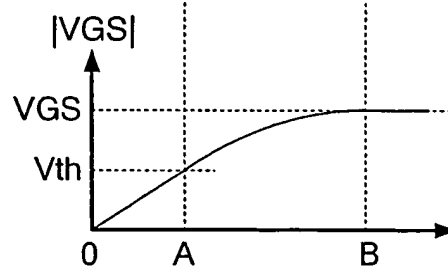
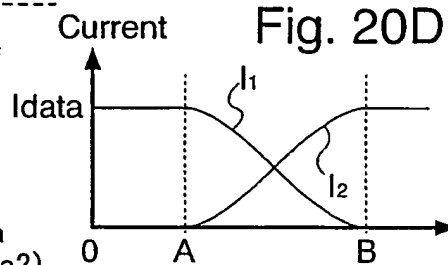


Fig. 20E

20/46

Fig. 21

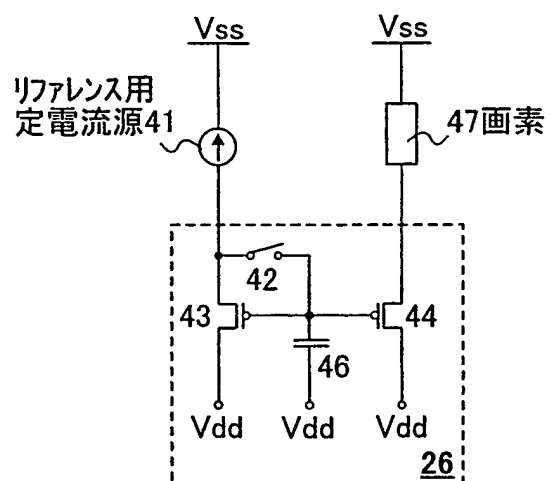


Fig. 22A

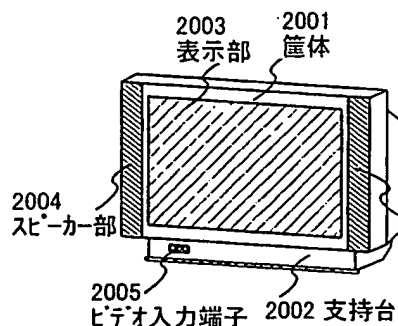


Fig. 22B

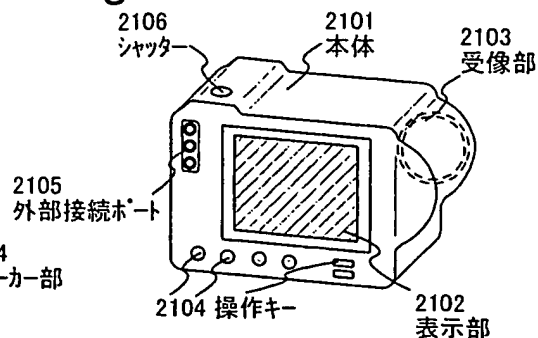


Fig. 22C

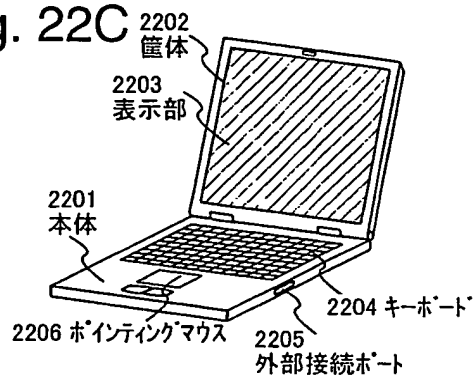


Fig. 22D

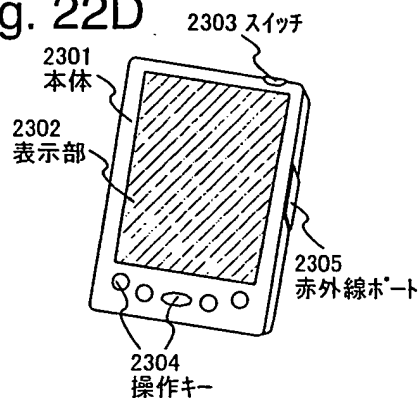


Fig. 22E

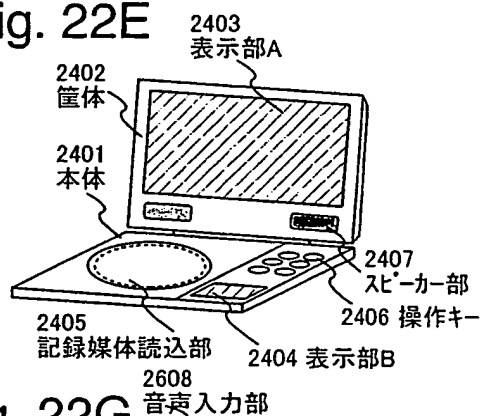


Fig. 22F

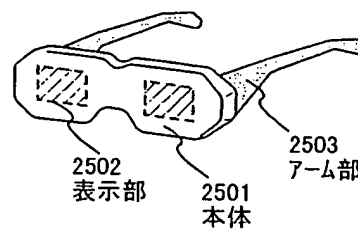


Fig. 22G

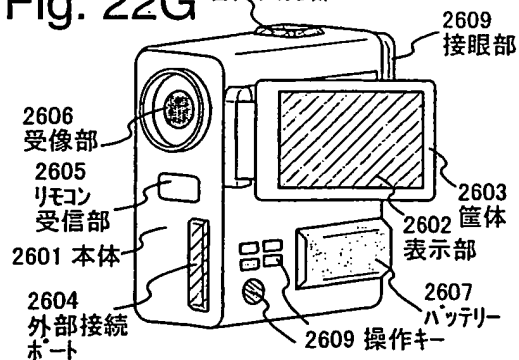
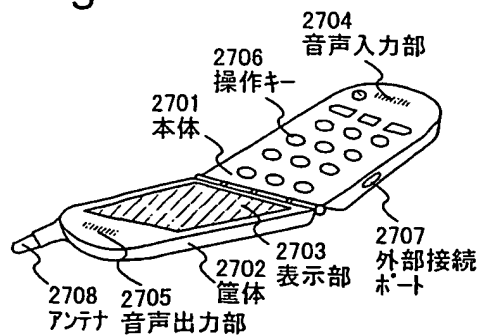


Fig. 22H



22/46

Fig. 23

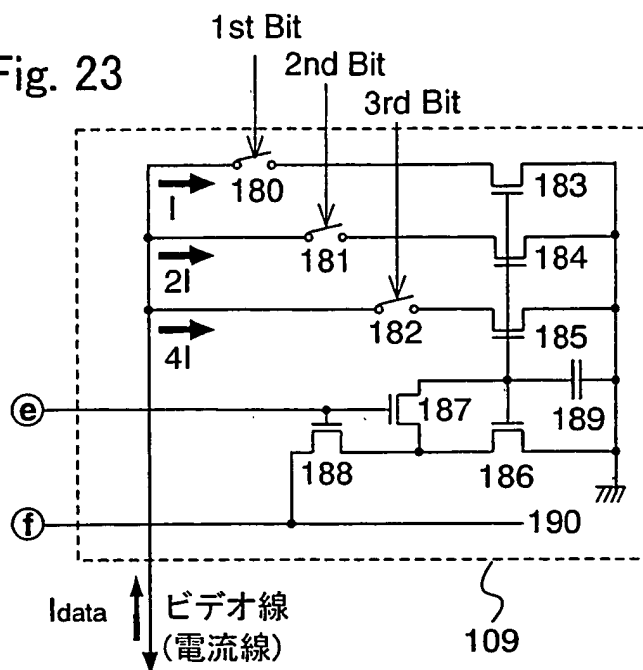
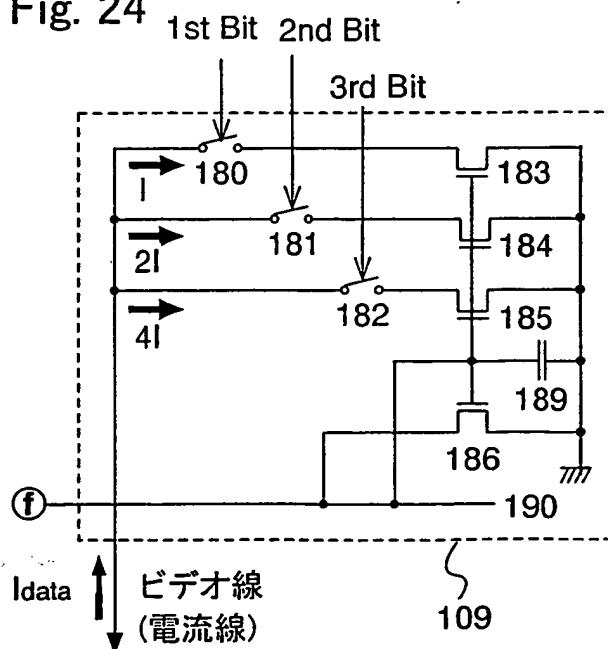


Fig. 24



23/46

Fig. 25

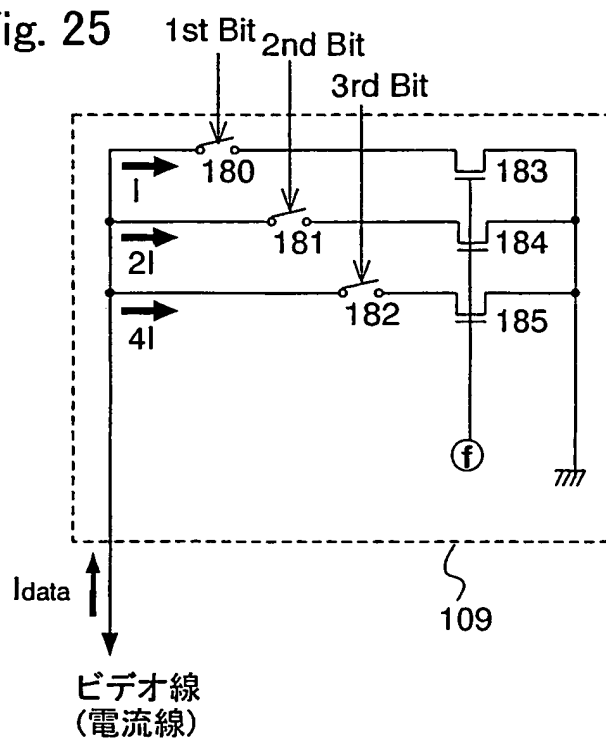
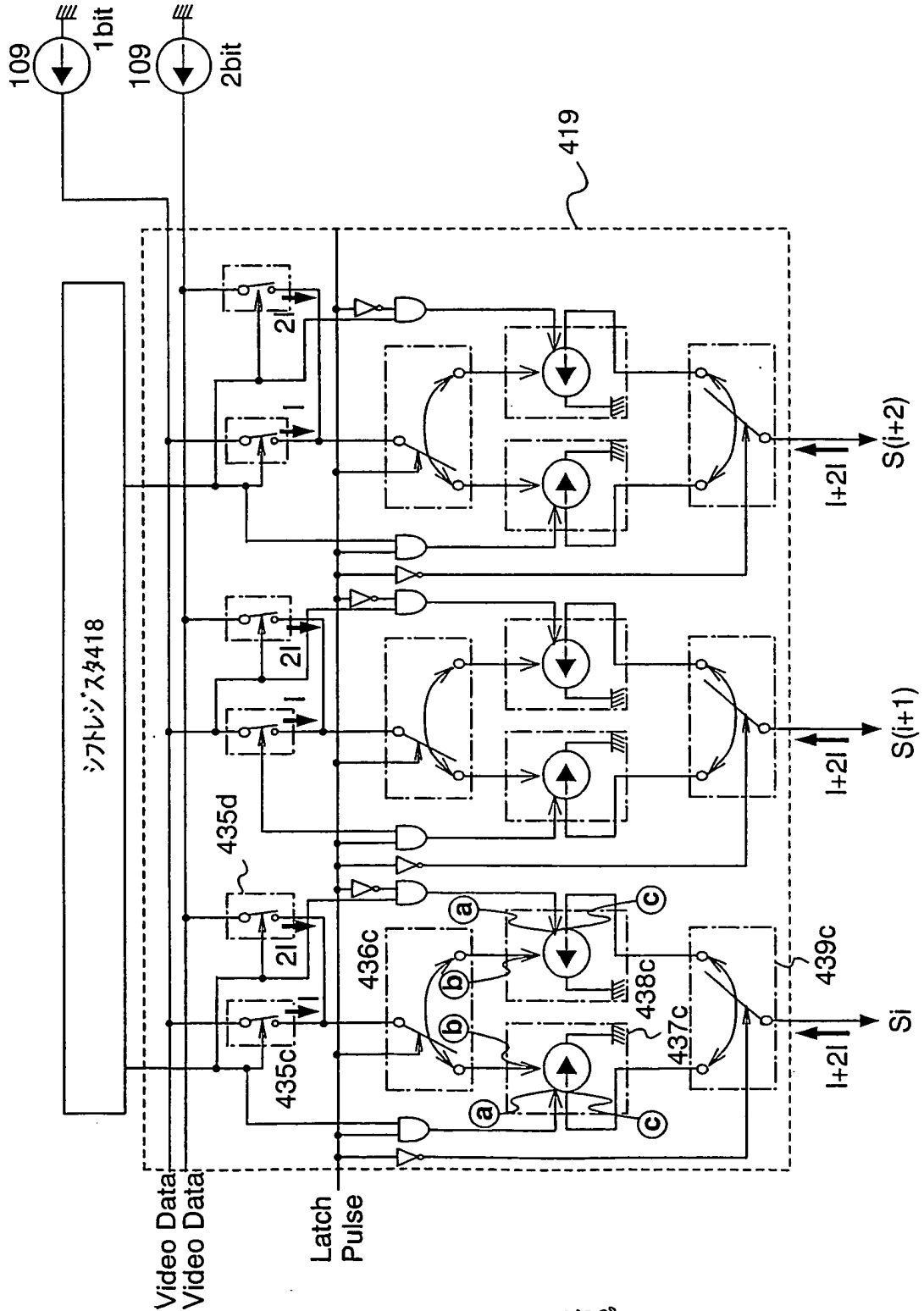


Fig. 26





25/46

Fig. 27A1

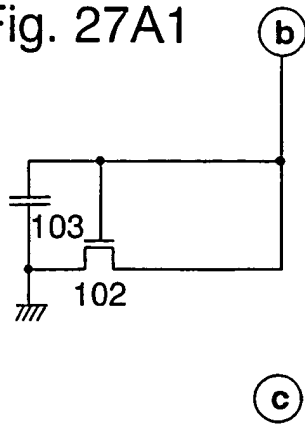


Fig. 27A2

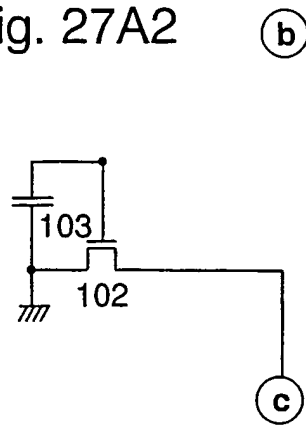


Fig. 27B1

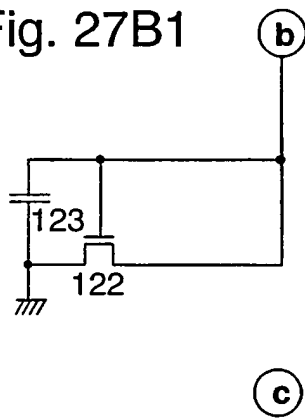


Fig. 27B2

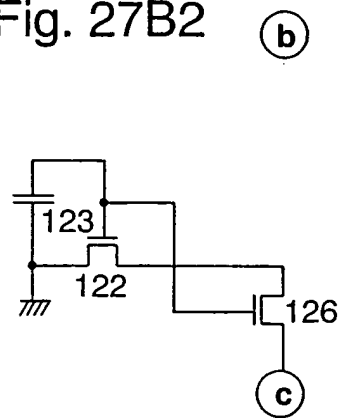


Fig. 27C1

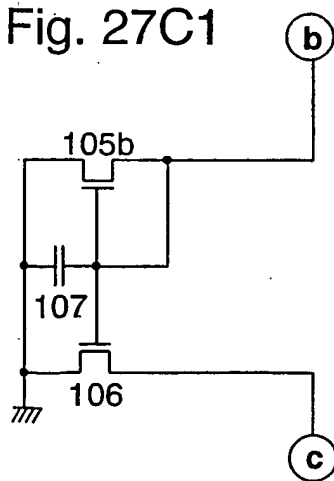
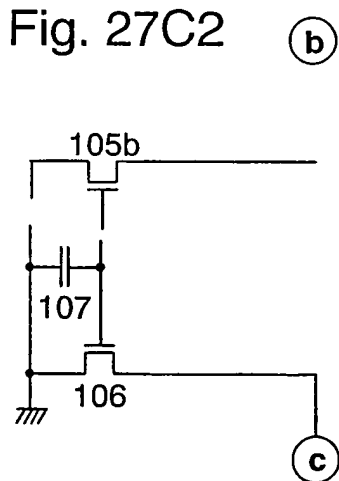


Fig. 27C2



26/46

Fig. 28A

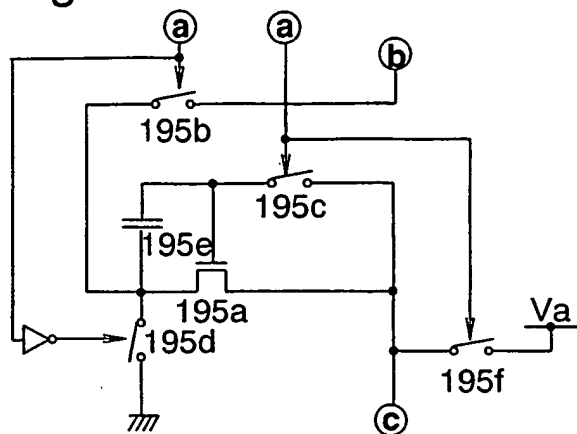


Fig. 28B1

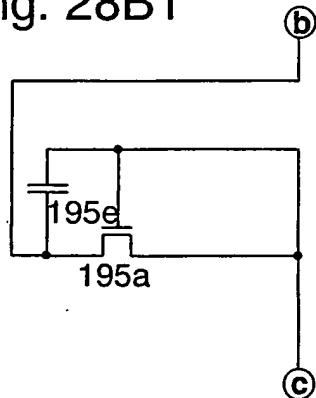


Fig. 28B2

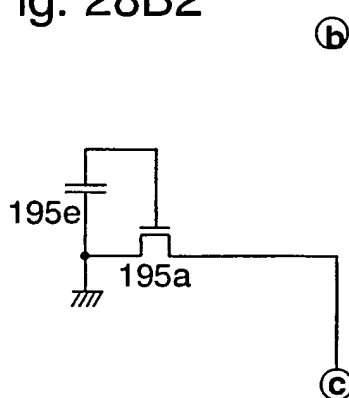


Fig. 28C1

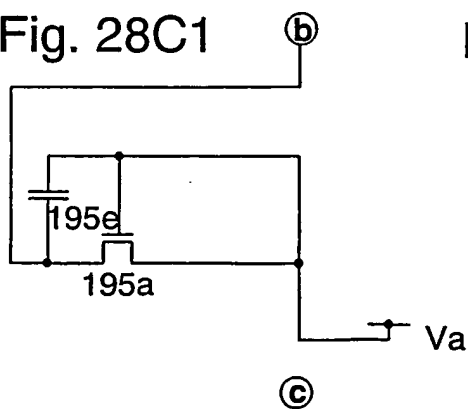
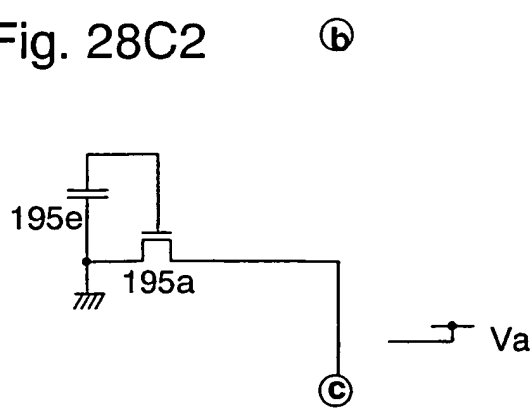


Fig. 28C2



27/46

Fig. 29A

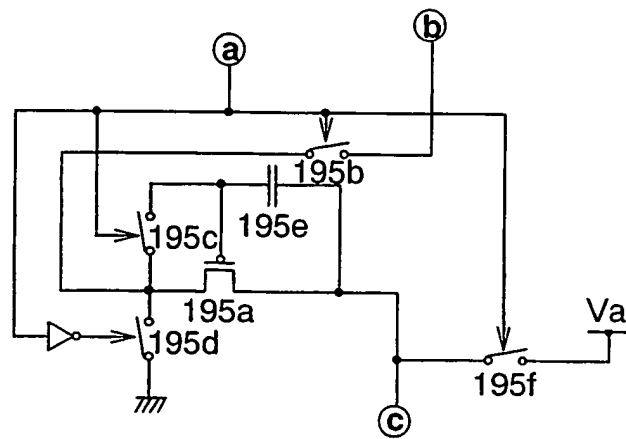
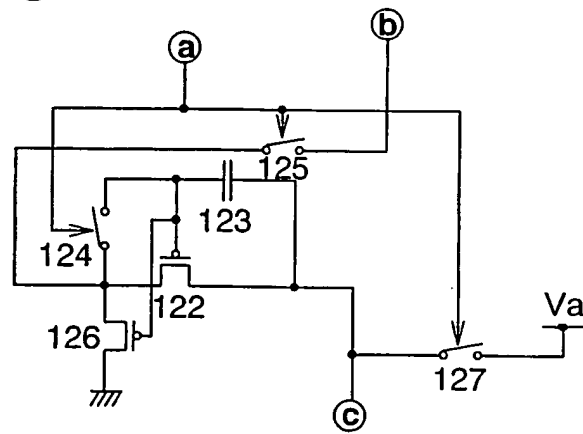


Fig. 29B



28/46

Fig. 30A1

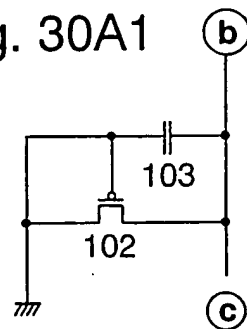


Fig. 30A2 (b)

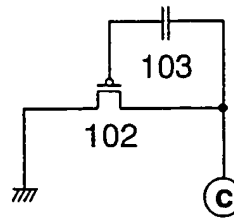


Fig. 30B1

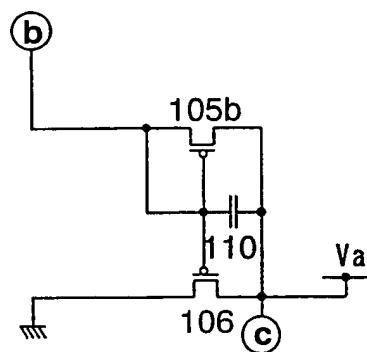


Fig. 30B2

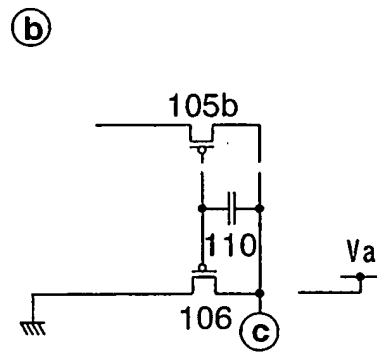


Fig. 30C1

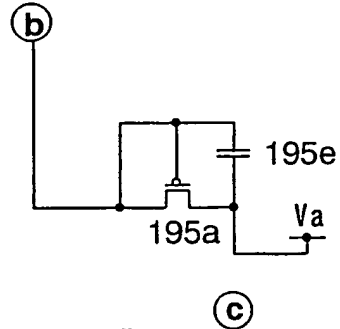


Fig. 30C2

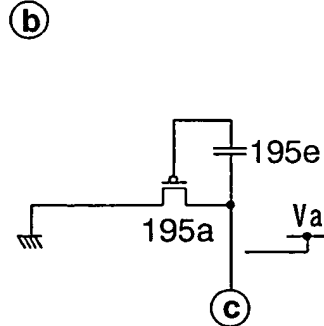


Fig. 30D1

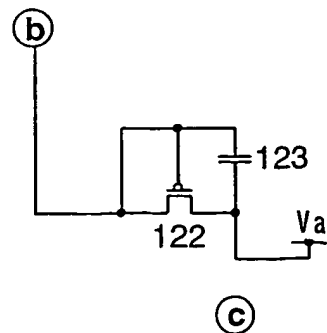
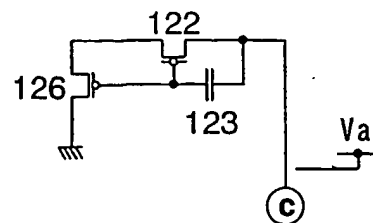


Fig. 30D2



29/46

Fig. 31A

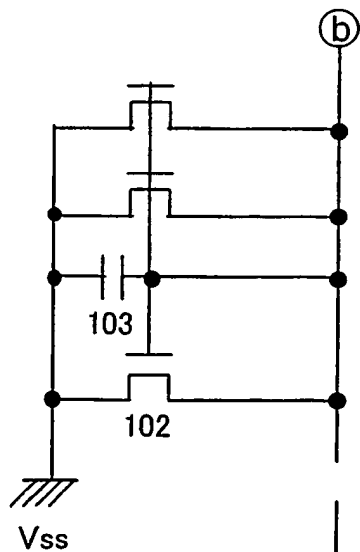
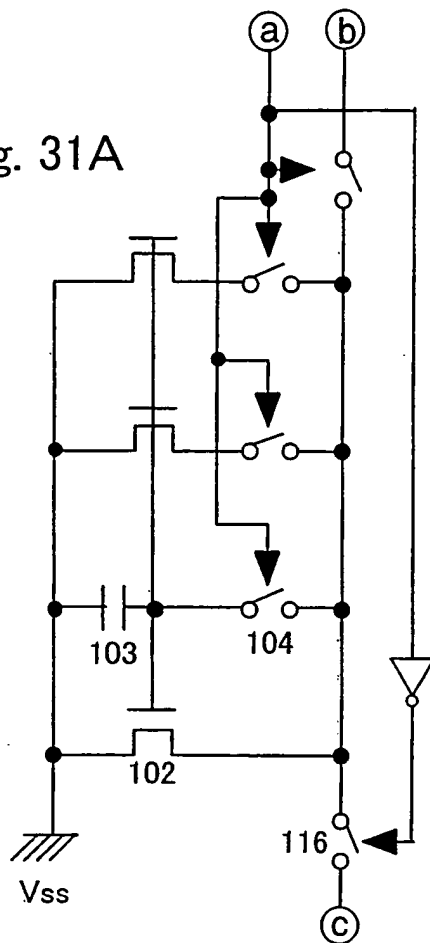


Fig. 31B

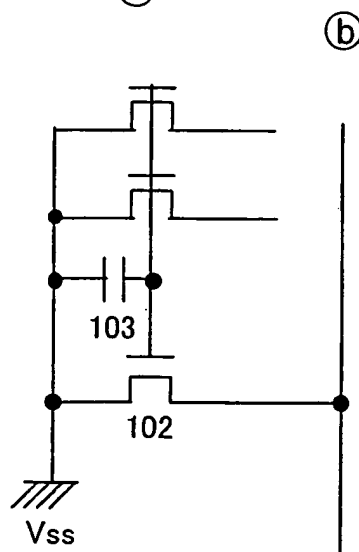


Fig. 31C

30/46

Fig. 32

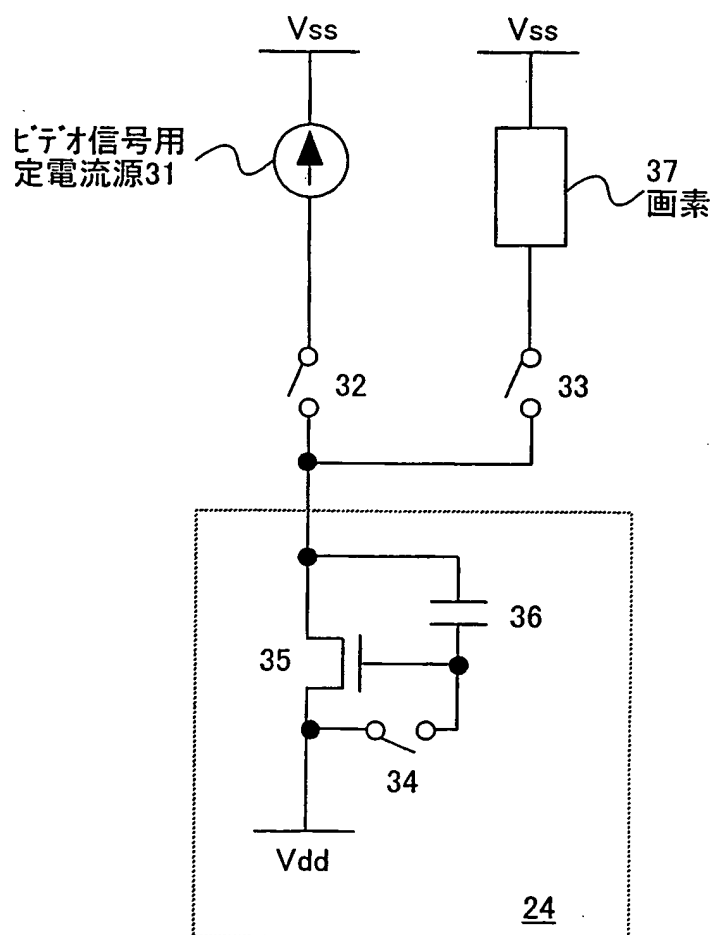
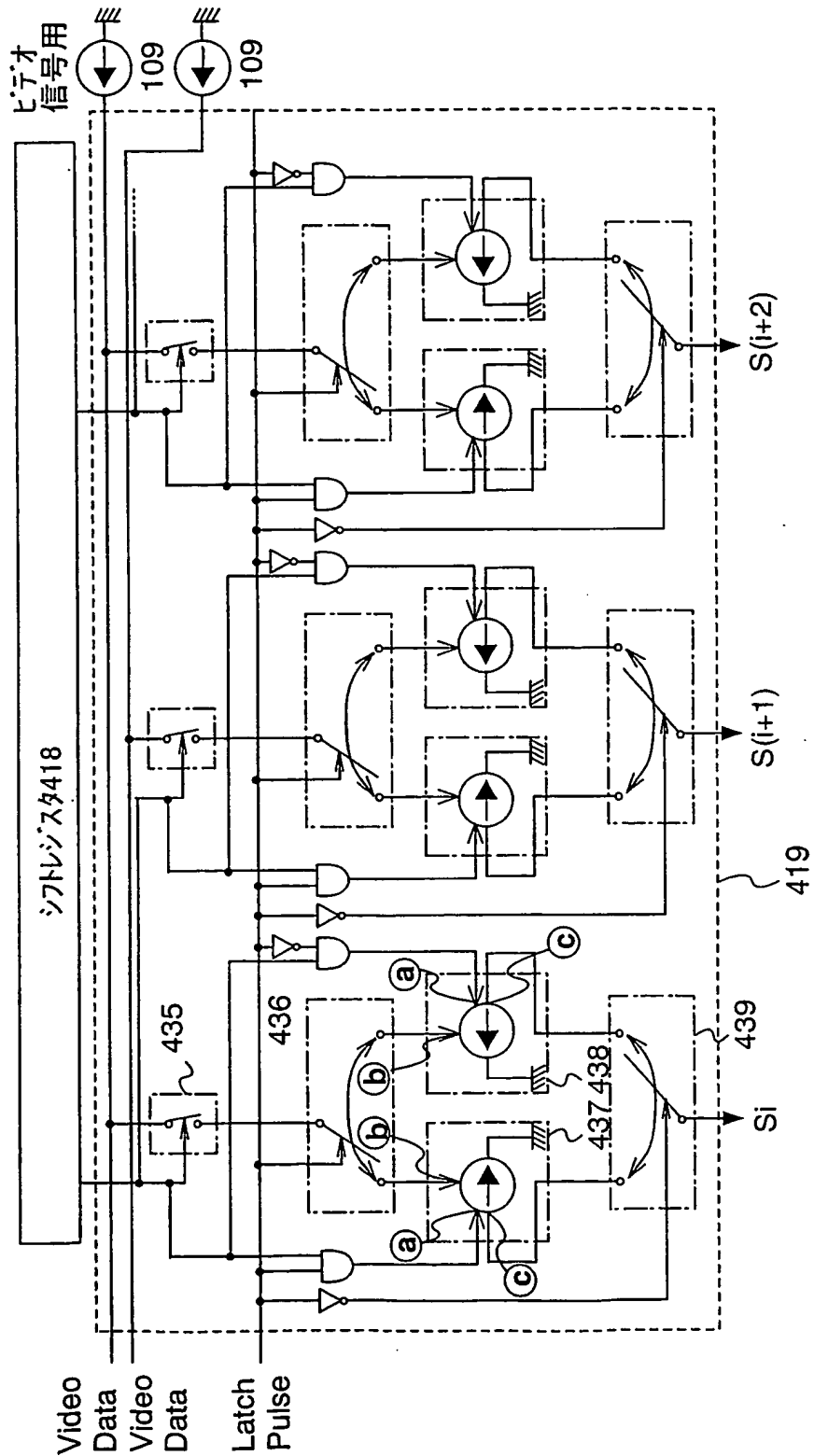
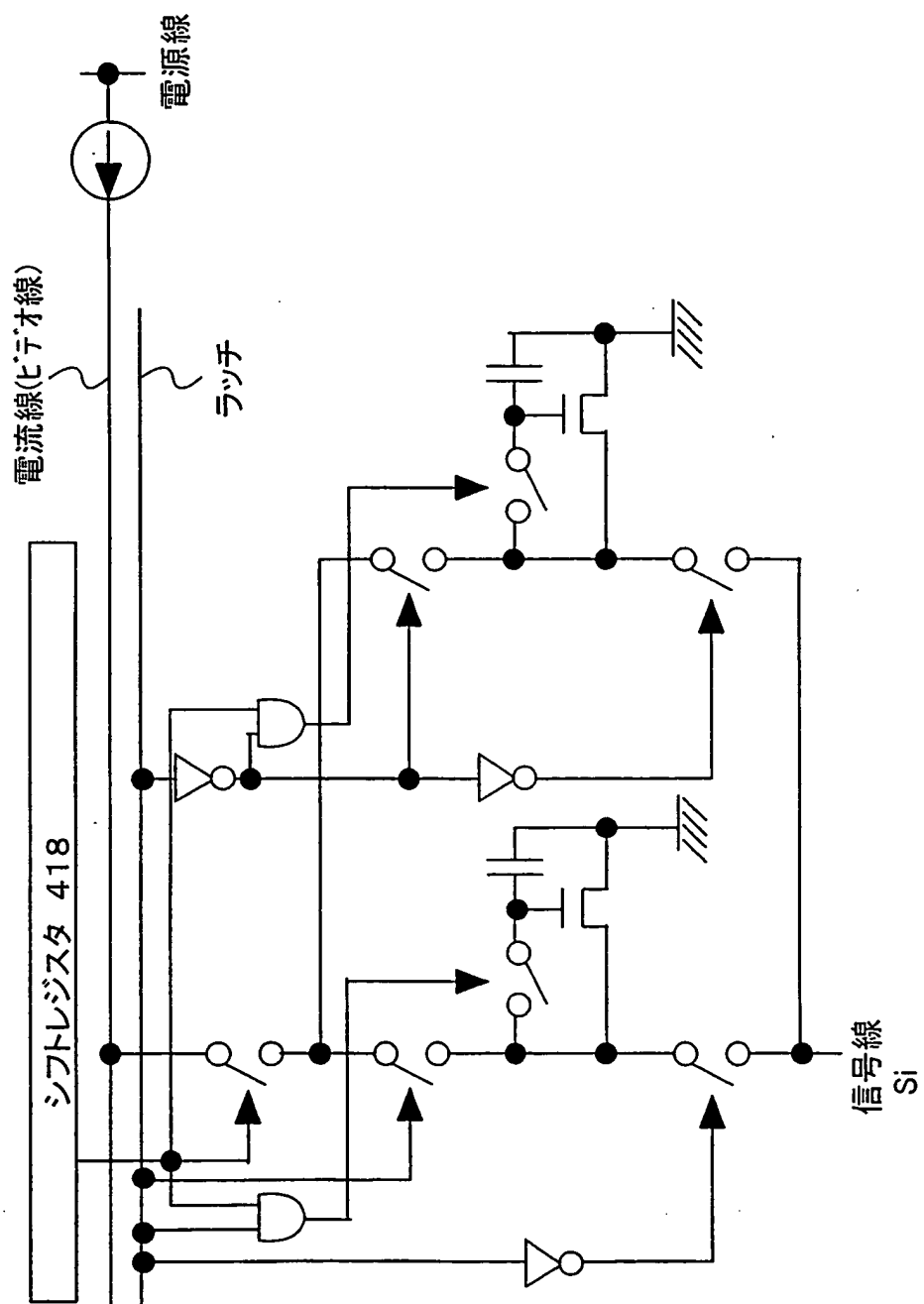


Fig. 33



32/46

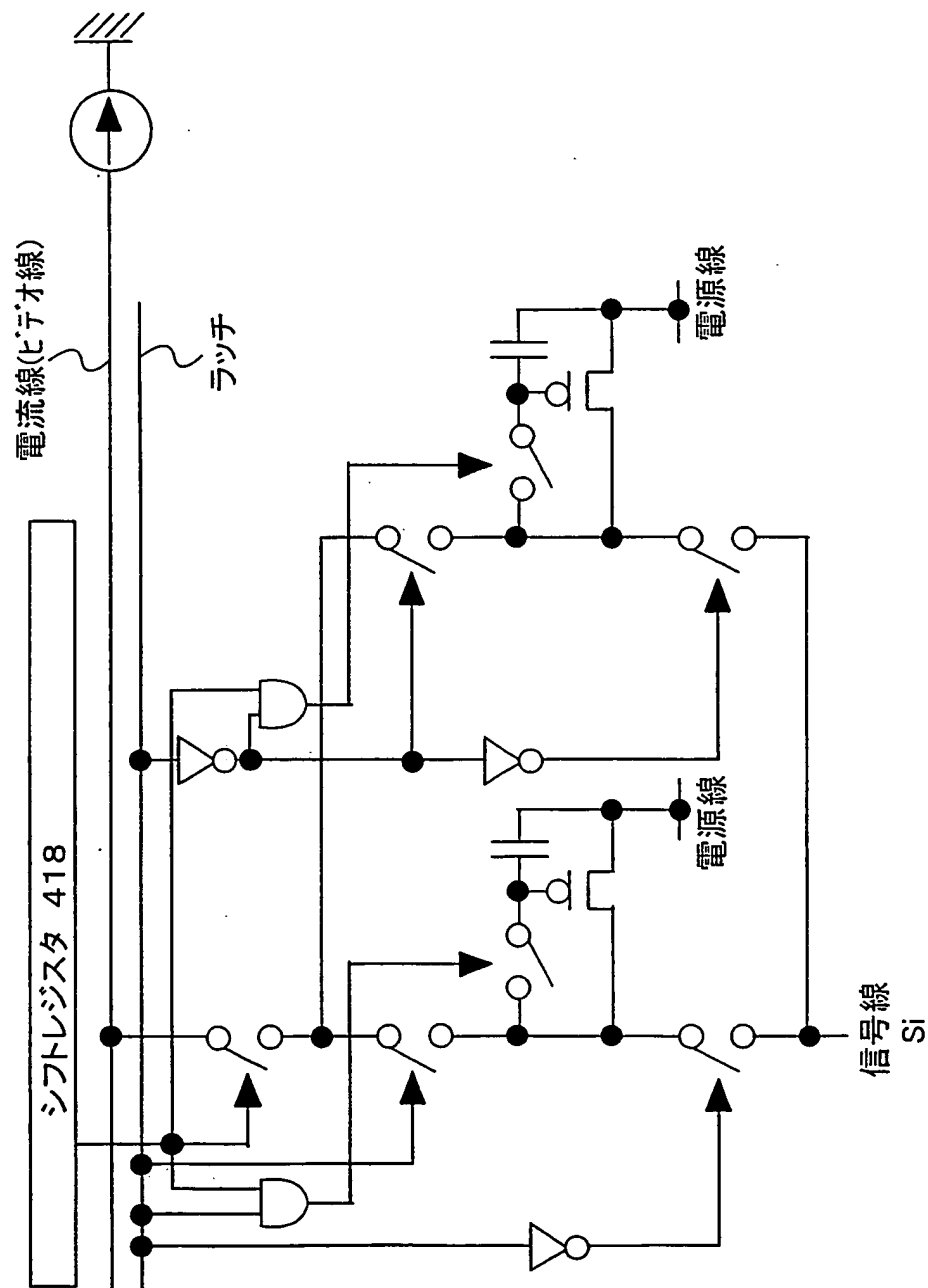
Fig. 34





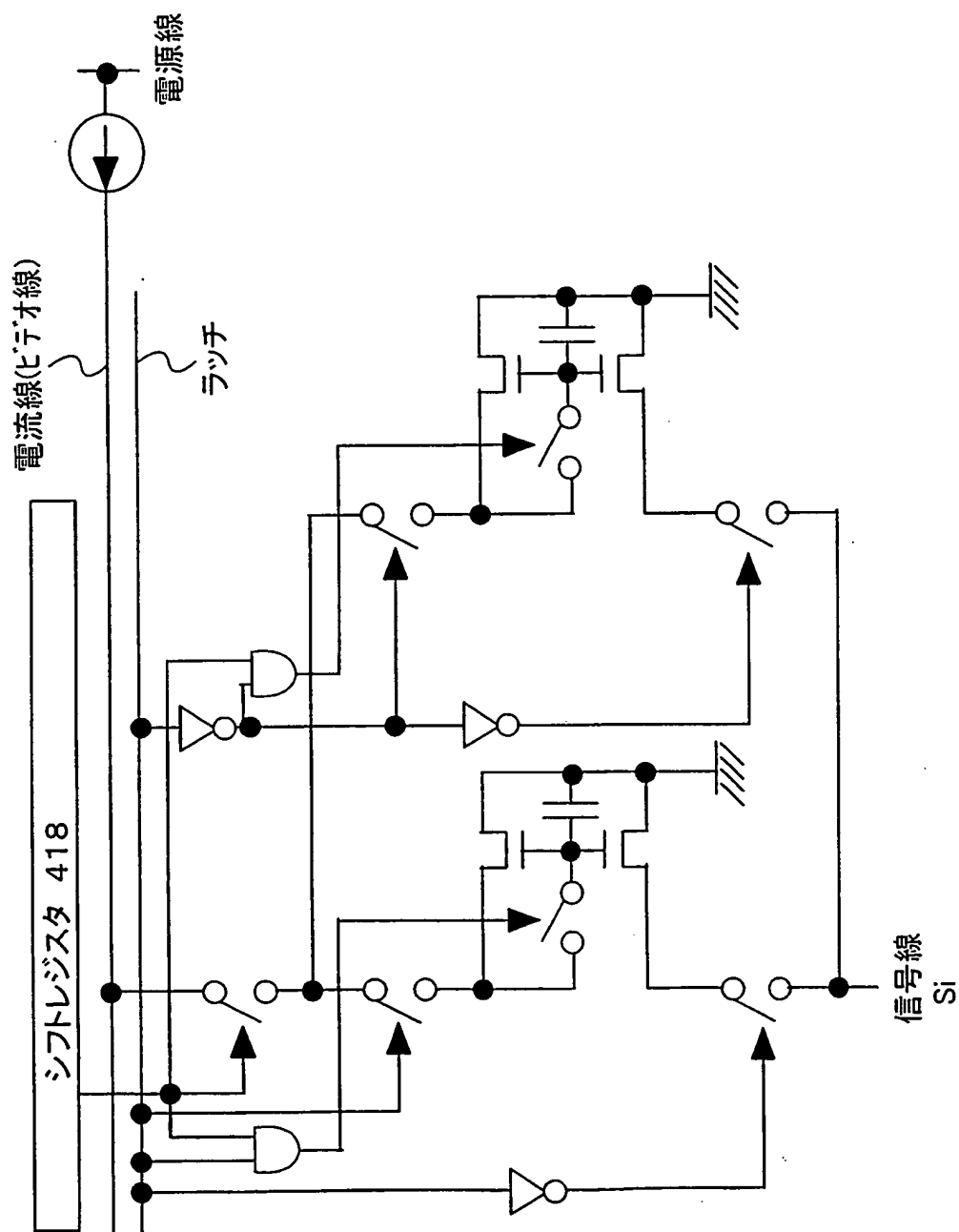
33/46

Fig.35



34/46

Fig. 36



35/46

Fig. 37A

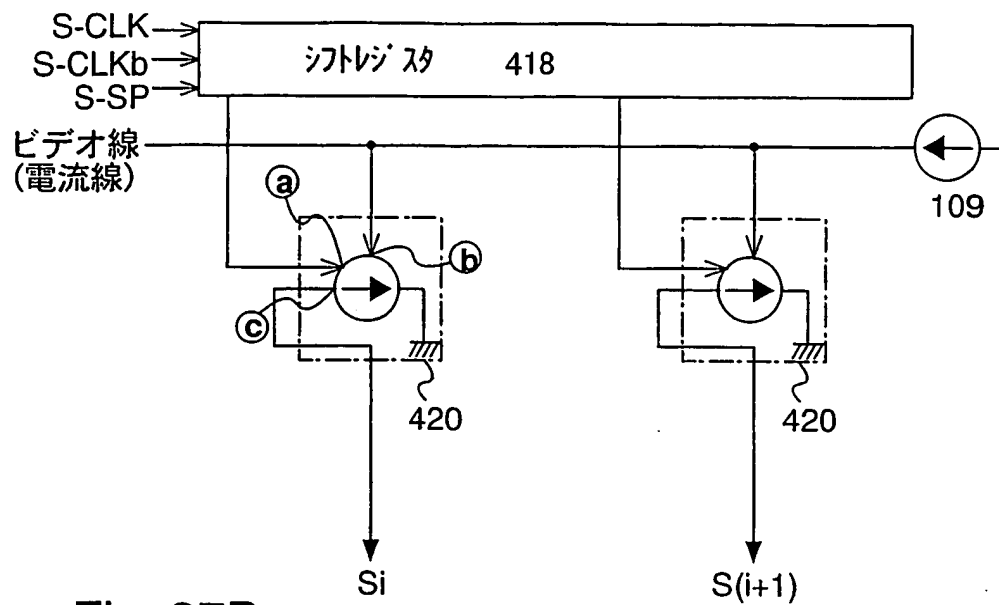


Fig. 37B

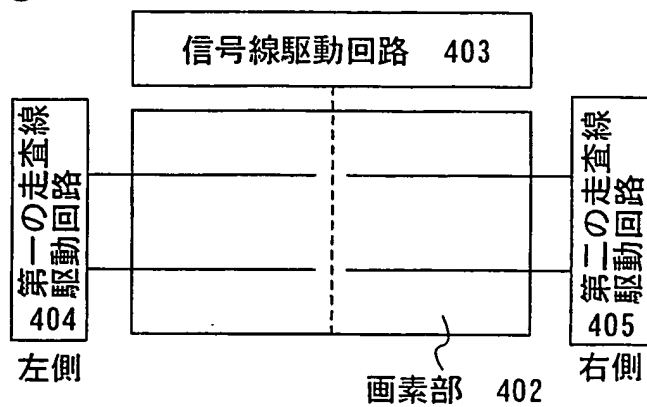
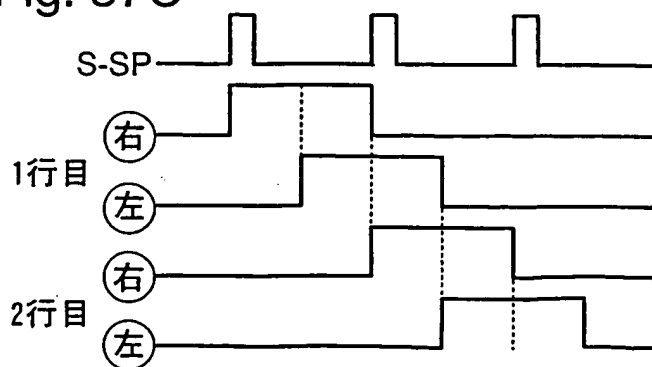
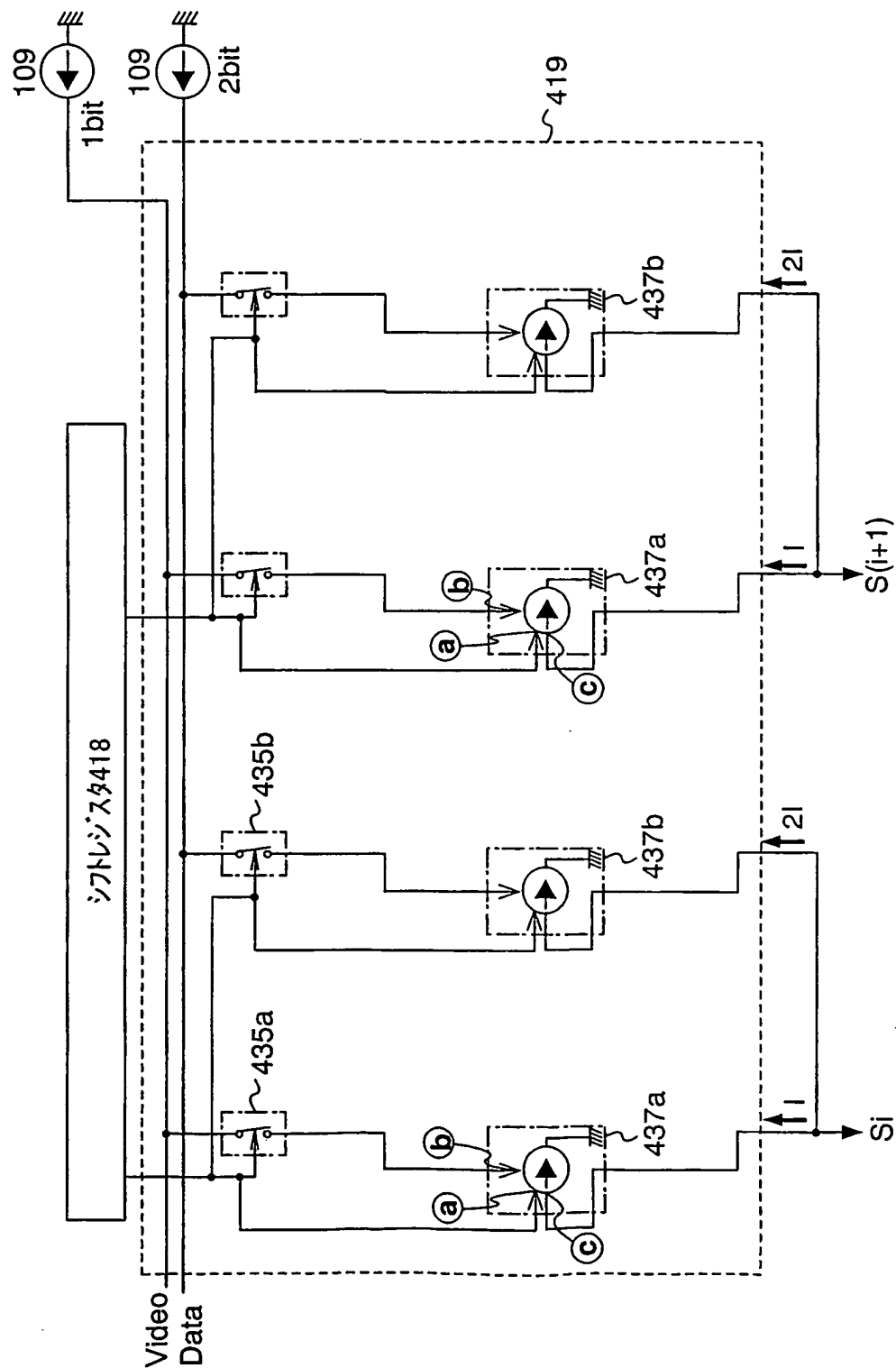


Fig. 37C



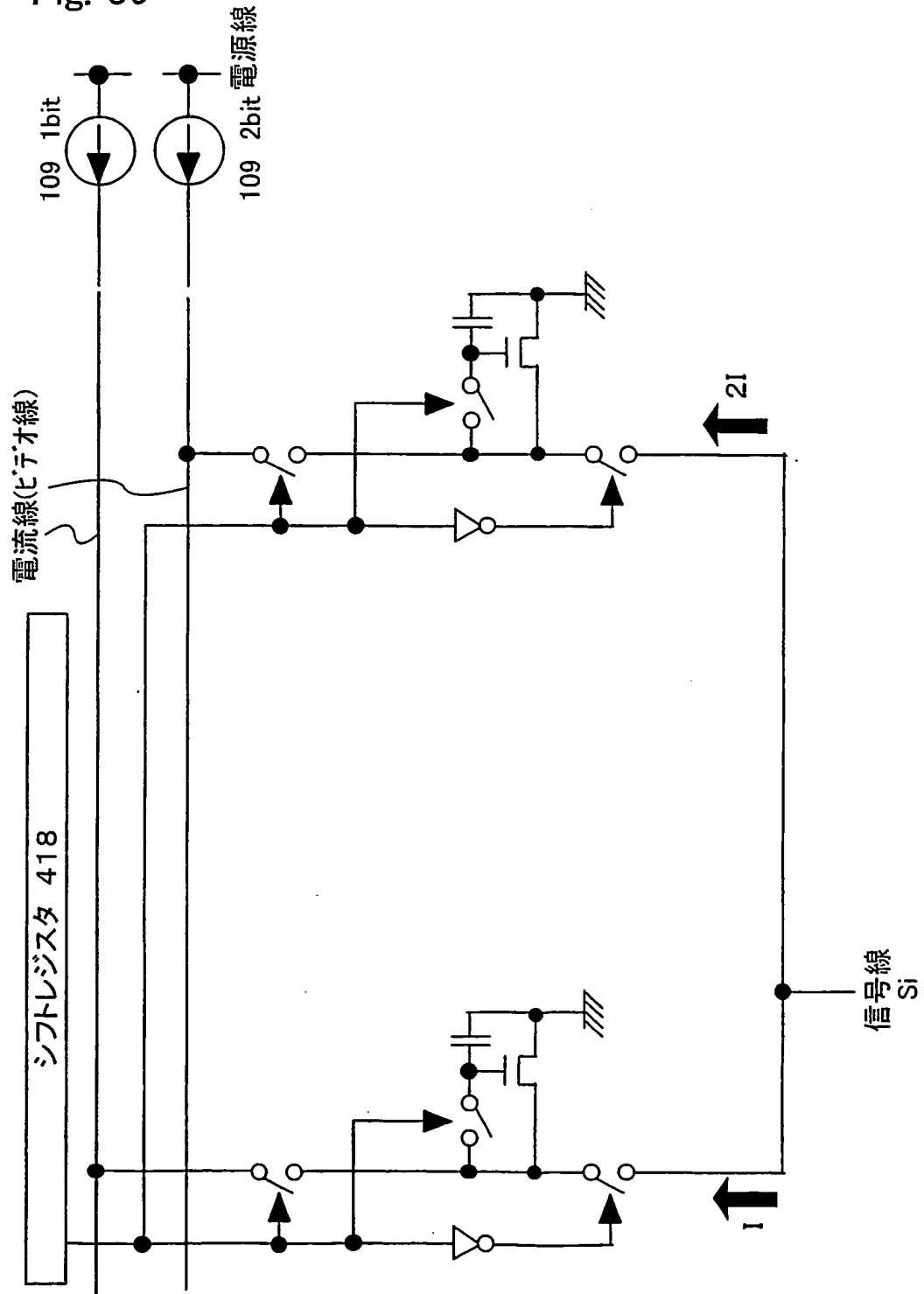
36/46

Fig. 38



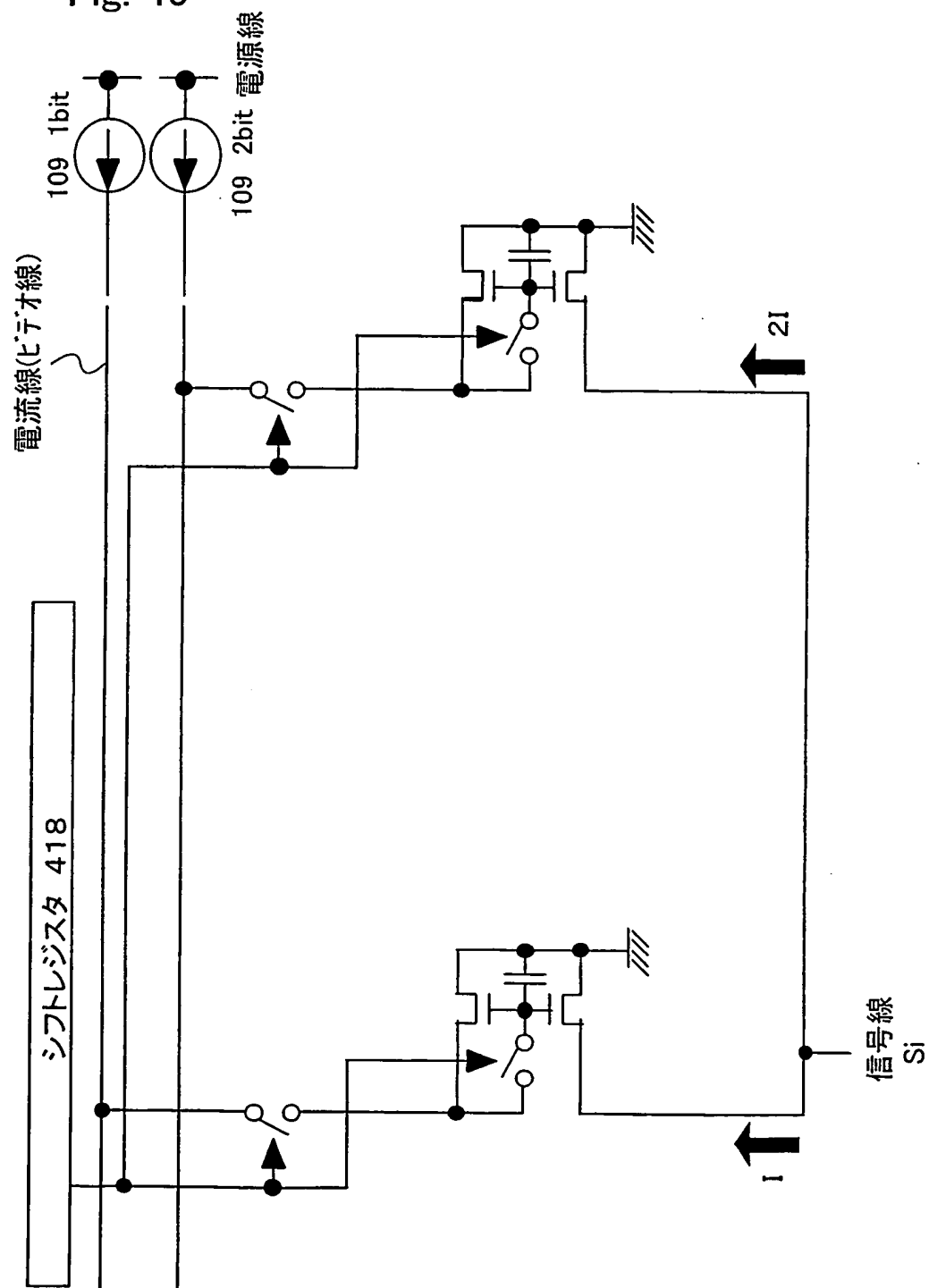
37/46

Fig. 39



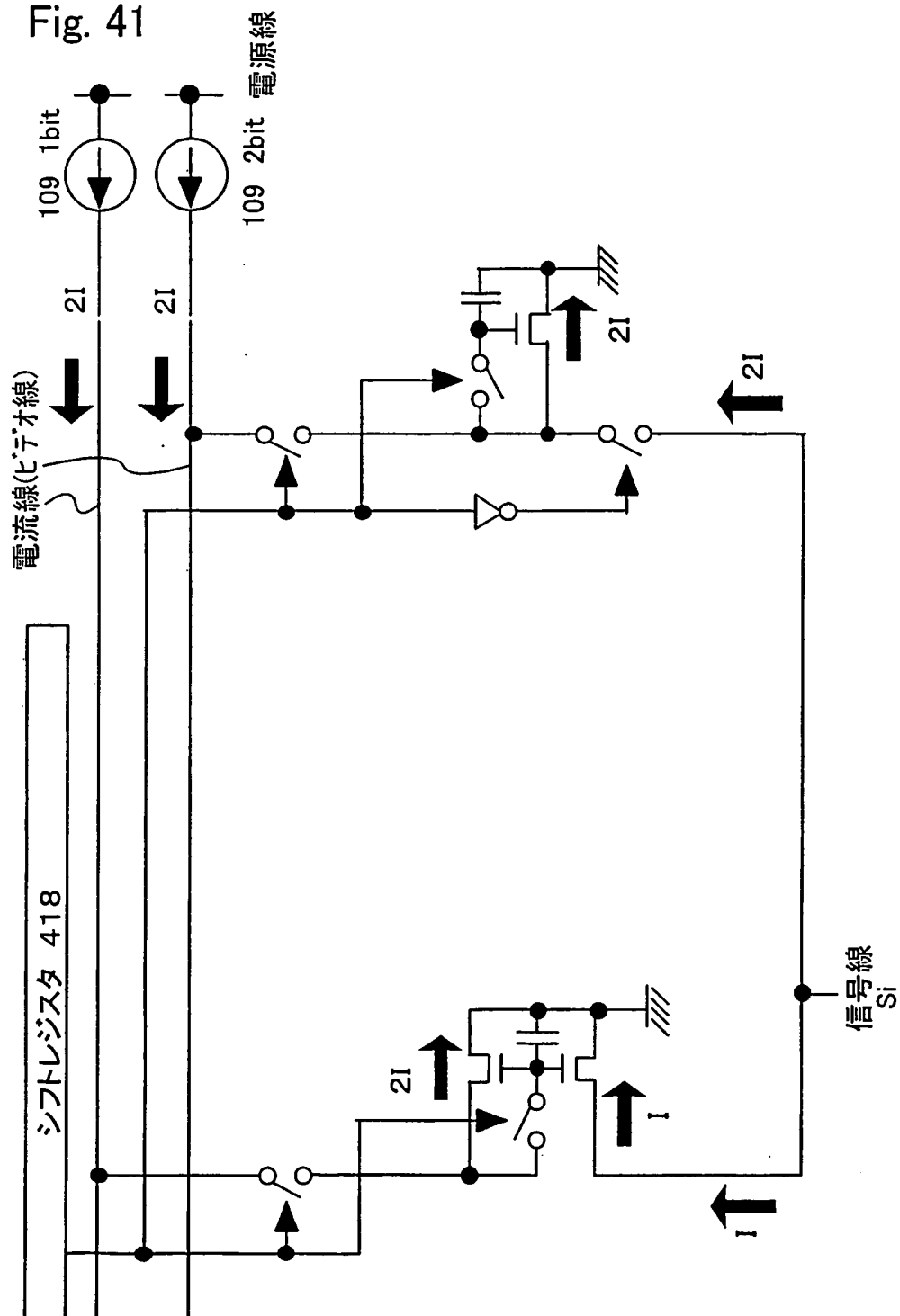
38/46

Fig. 40



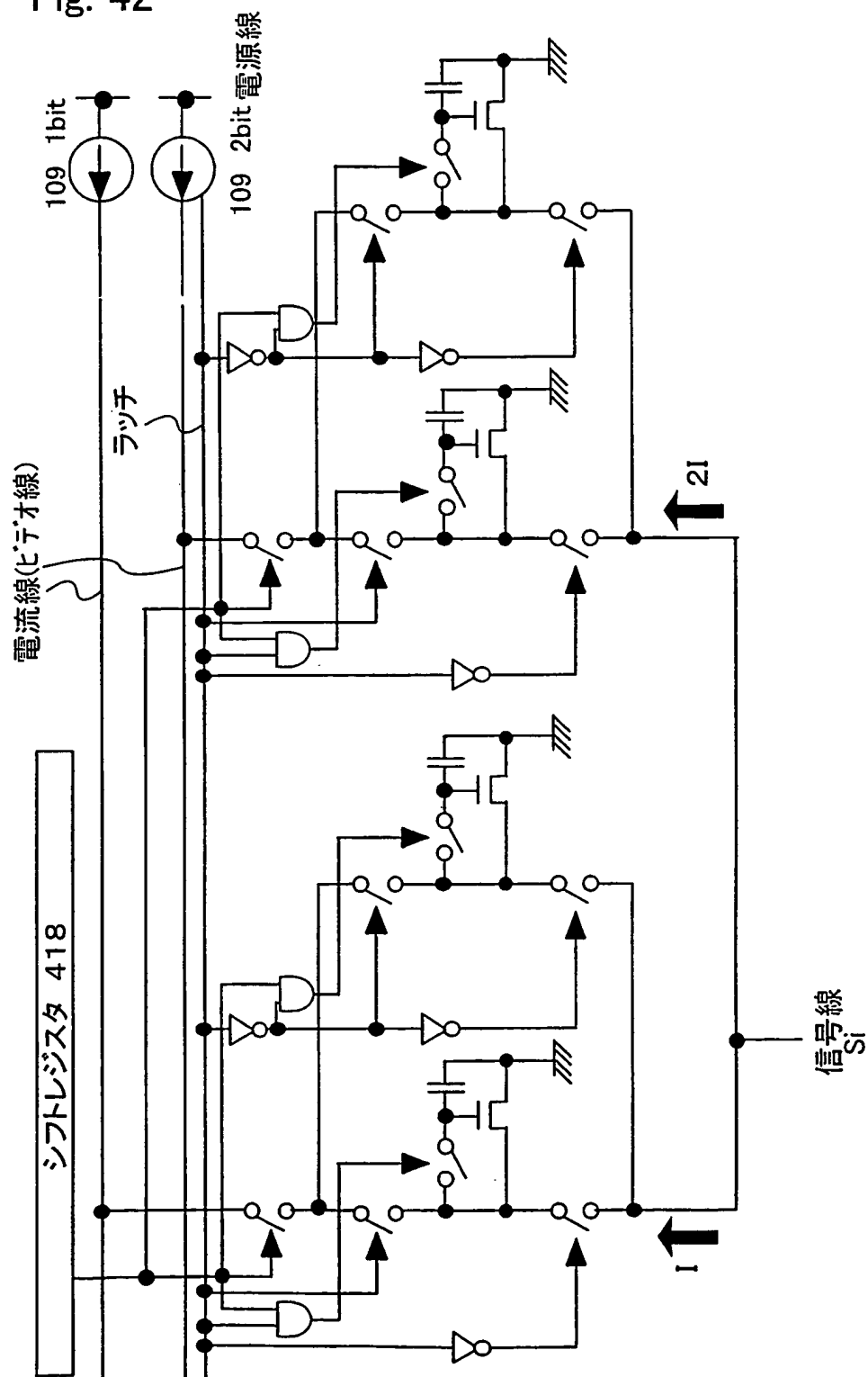
39/46

Fig. 41



40/46

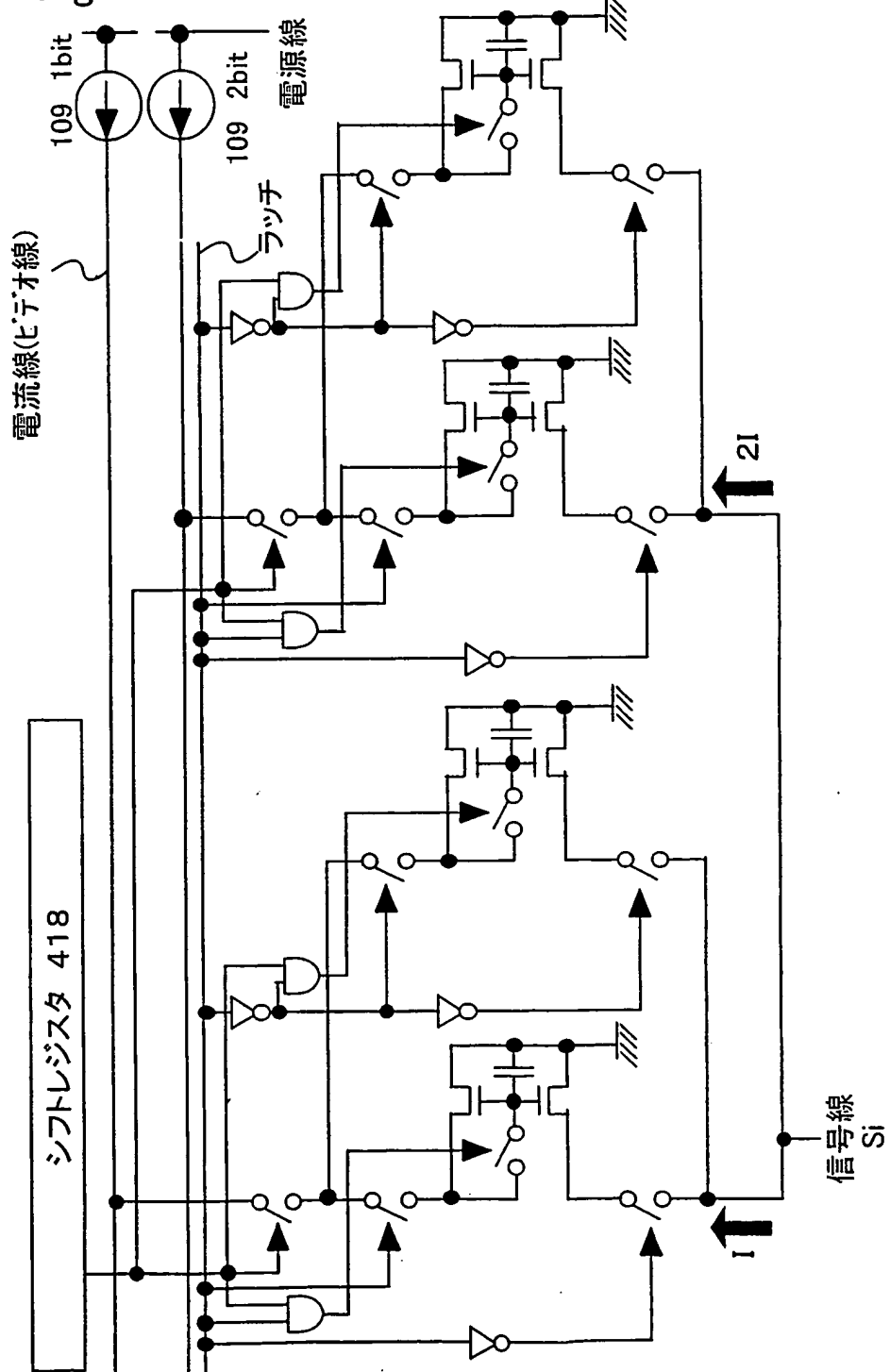
Fig. 42





41/46

Fig. 43



42/46

Fig. 44

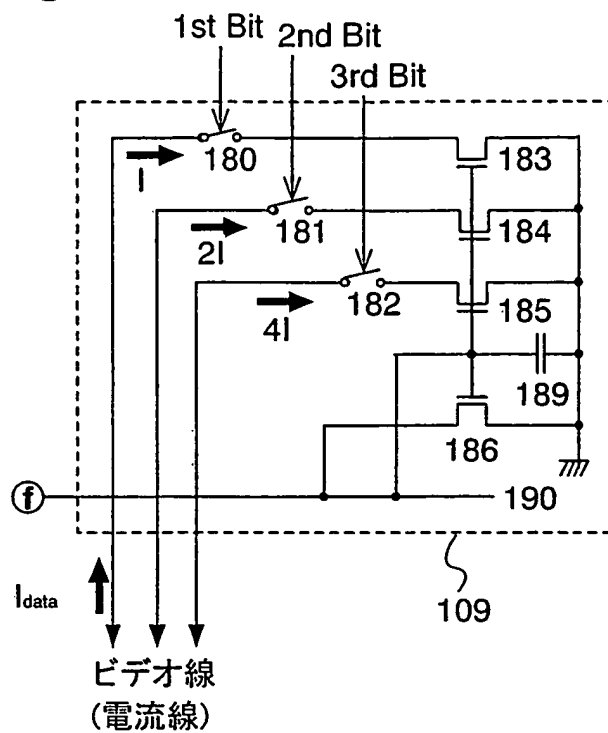
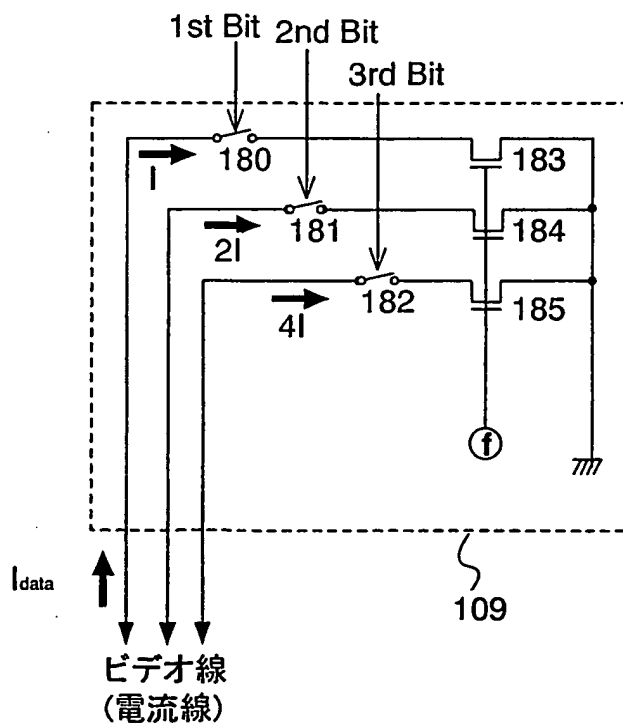


Fig. 45



43/46

Fig. 46

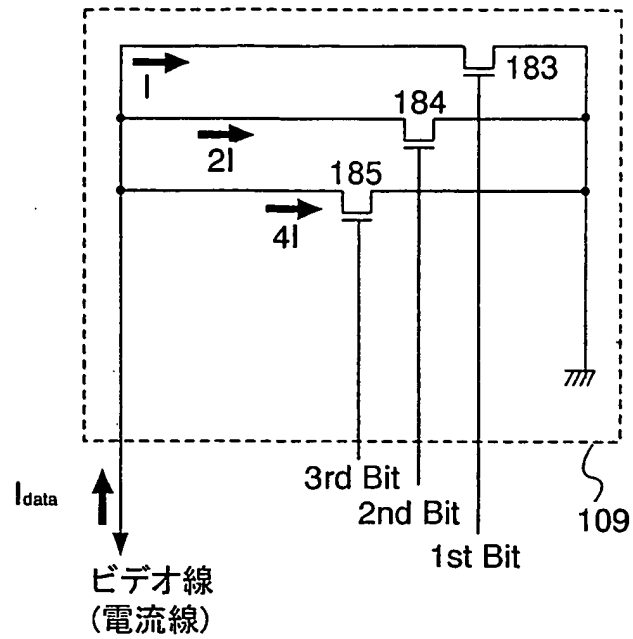
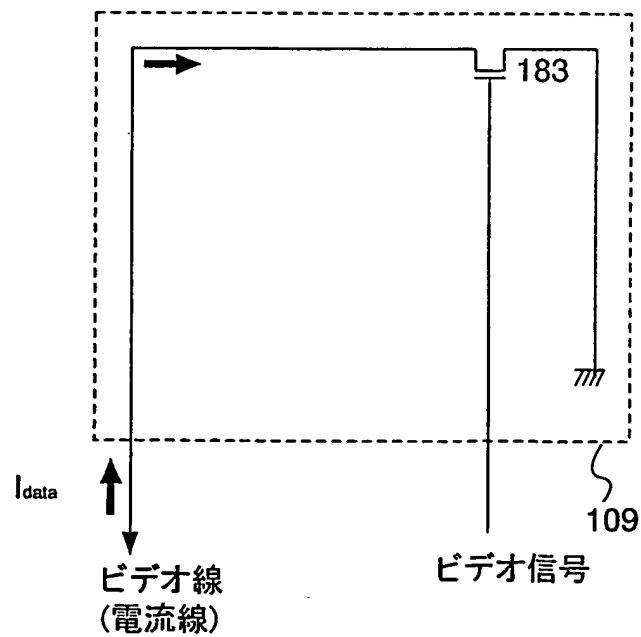
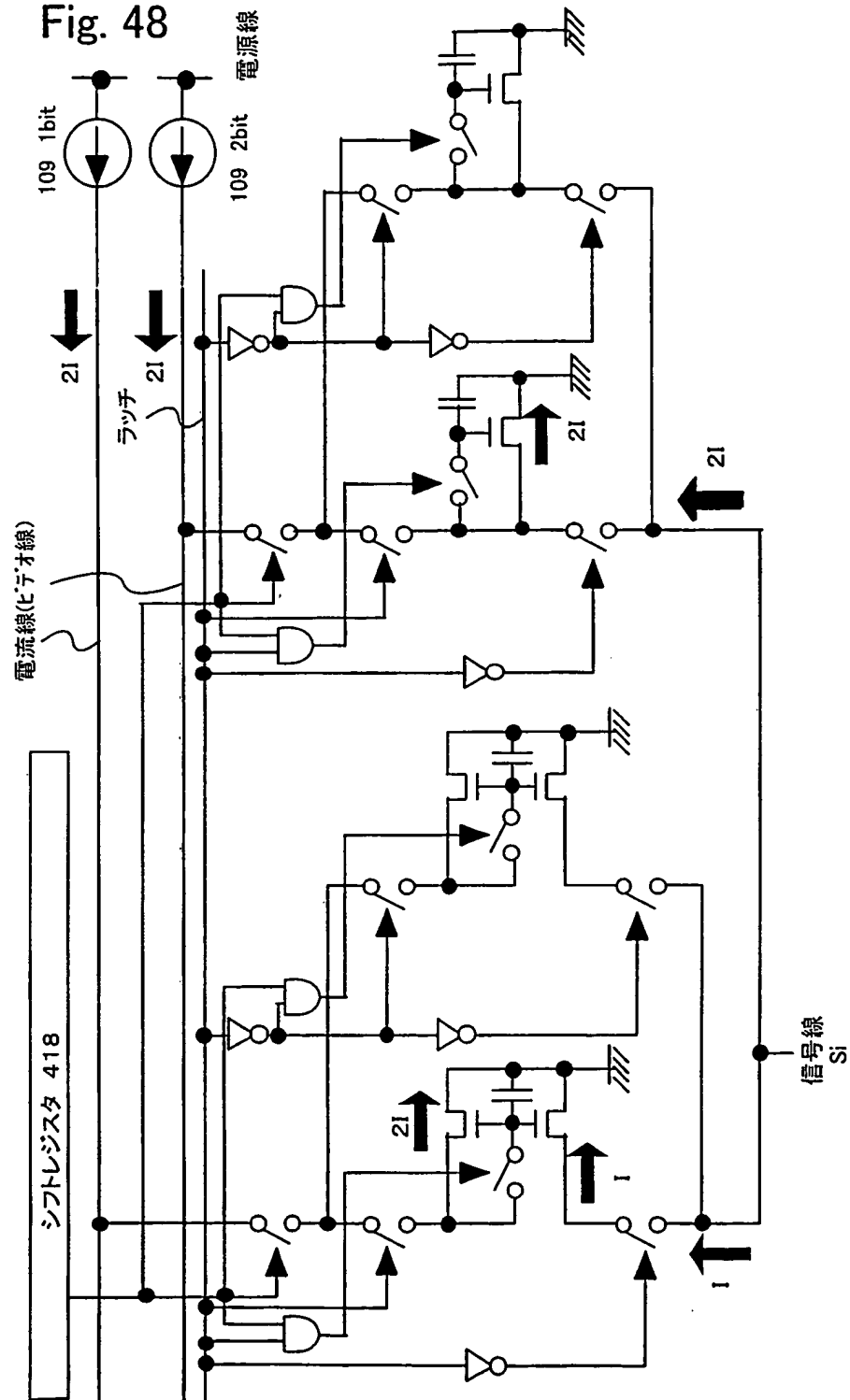


Fig. 47



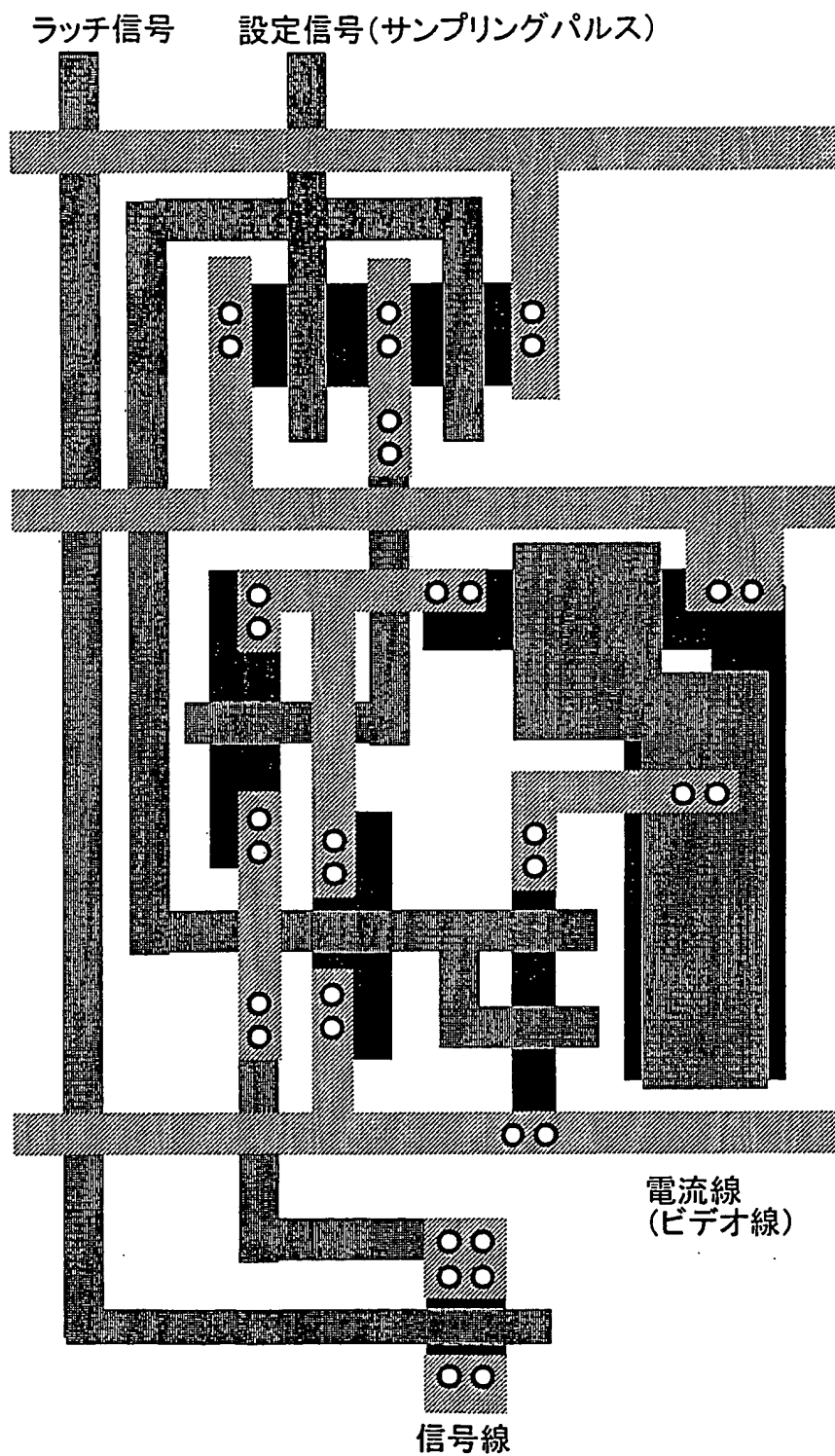
44/46

Fig. 48



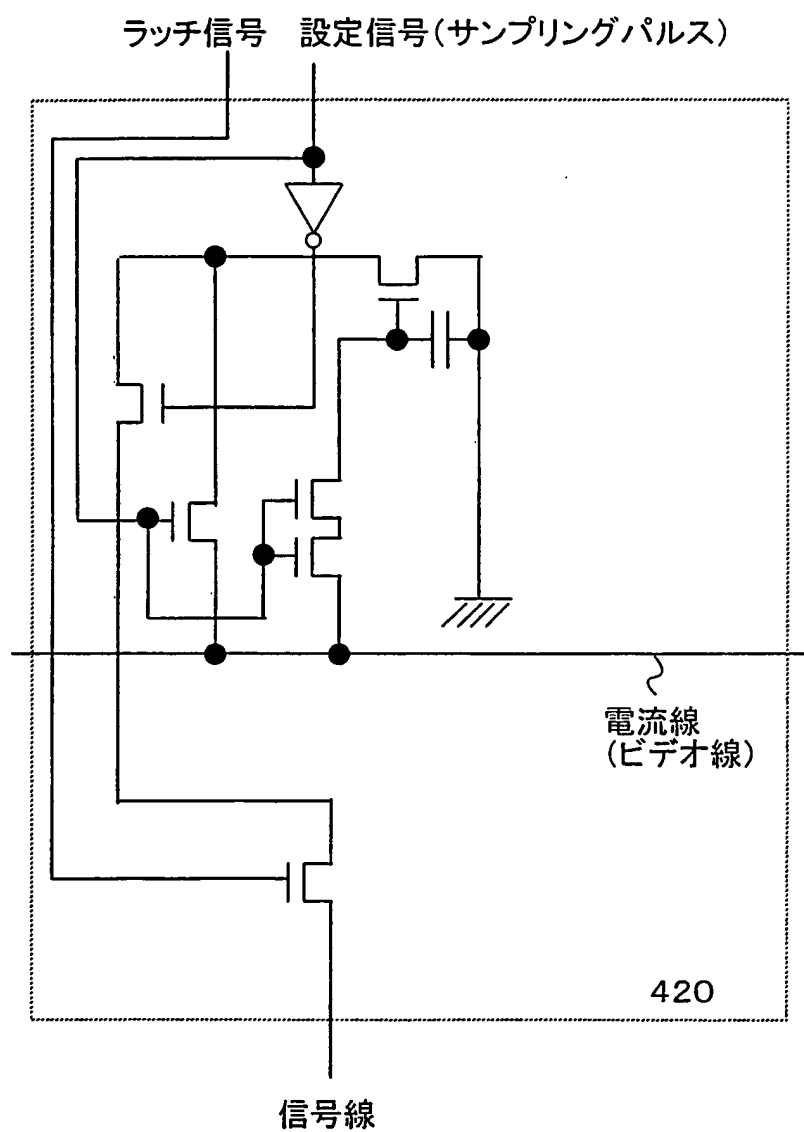
45/46

Fig. 49



46/46

Fig. 50



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/30, G09G3/20, G05F1/10

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/30, G09G3/20, G05F1/10

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICST

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-81920 A (キャノン株式会社) 2000.03.21 段落番号【0005】-【0018】、図1、図5 &US 6222357 B1	1-3, 5-15
Y	日本国実用新案登録出願61-10861号 (日本国実用新案登録 出願公開62-122488号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (ソニー株式会社) 1987.08.04 明細書第6頁-第9頁、第1図-第4図 (ファミリーなし)	1-4, 7, 12-15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

## 国際調査を完了した日

10.02.03

## 国際調査報告の発送日

25.02.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

橋本 直明

印

2G

9707

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-282419 A (日本電気株式会社) 1999. 10. 15 段落番号【0038】-【0083】, 図1-図14 &US 6091203 A &KR 99078420 A	1-3, 5-15
Y	JP 6-118913 A (カシオ計算機株式会社) 1994. 04. 28 段落番号【0002】-【0003】, 【0016】-【0053】, 図1-図6 (ファミリーなし)	1-15
Y	JP 2001-290469 A (日本電気株式会社) 2001. 10. 19 段落番号【0024】-【0034】, 図1-図2 (ファミリーなし)	1-15
Y	JP 8-95522 A (凸版印刷株式会社) 1996. 04. 12 段落番号【0007】-【0025】, 図1-図5 (ファミリーなし)	12
Y	JP 11-231834 A (パイオニア株式会社) 1999. 08. 27 段落番号【0033】-【0038】, 図4-図6 &US 6473064 B1	1-15



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11355

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/30, G09G3/20, G05F1/10

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/30, G09G3/20, G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-81920 A (Canon Inc.), 21 March, 2000 (21.03.00), Par. Nos. [0005] to [0018]; Figs. 1, 5 & US 6222357 B1	1-3, 5-15
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 10861/1986 (Laid-open No. 122488/1987) (Sony Corp.), 04 August, 1987 (04.08.87), Description, pages 6 to 9; Figs. 1 to 4 (Family: none)	1-4, 7, 12-15
Y	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0038] to [0083]; Figs. 1 to 14 & US 6091203 A & KR 99078420 A	1-3, 5-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
10 February, 2003 (10.02.03)

Date of mailing of the international search report  
25 February, 2003 (25.02.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11355

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-118913 A (Casio Computer Co., Ltd.), 28 April, 1994 (28.04.94), Par. Nos. [0002] to [0003], [0016] to [0053]; Figs. 1 to 6 (Family: none)	1-15
Y	JP 2001-290469 A (NEC Corp.), 19 October, 2001 (19.10.01), Par. Nos. [0024] to [0034]; Figs. 1 to 2 (Family: none)	1-15
Y	JP 8-95522 A (Toppan Printing Co., Ltd.), 12 April, 1996 (12.04.96), Par. Nos. [0007] to [0025]; Figs. 1 to 5 (Family: none)	12
Y	JP 11-231834 A (Pioneer Electronic Corp.), 27 August, 1999 (27.08.99), Par. Nos. [0033] to [0038]; Figs. 4 to 6 & US 6473064 B1	1-15

## DESCRIPTION

### SIGNAL LINE DRIVING CIRCUIT AND LIGHT EMITTING DEVICE

#### 5 Technical Field

The present invention relates to a technique of a signal line driving circuit. Further, the present invention relates to a light emitting device including the signal line driving circuit.

#### 10 Background Art

Recently, display devices for performing image display are being developed. Liquid crystal display devices that perform image display by using a liquid crystal element are widely used as display devices because of advantages of high image quality, thinness, lightweight, and the like.

15 In addition, light emitting devices using self-light emitting elements as light emitting elements are recently being developed. The light emitting device has characteristics of, for example, a high response speed suitable for motion image display, low voltage, and low power consumption, in addition to advantages of existing liquid crystal display devices, and thus, attracts a great deal of attention as the next generation  
20 display device.

As gradation representation methods used in displaying a multi-gradation image on a light emitting device, an analog gradation method and a digital gradation method are given. The former analog gradation method is a method in which the gradation is obtained by analogously controlling the magnitude of a current that flows through a light  
25 emitting element. The latter digital gradation method is a method in which the light emitting element is driven only in two states thereof: an ON state (state where the luminance is substantially 100%) and an OFF state (state where the luminance is

substantially 0%). In the digital gradation method, since only two gradations can be displayed, a method configured by combining the digital gradation method and a different method to display multi-gradation images has been proposed.

When classification is made based on the type of a signal that is input to pixels,  
5 a voltage input method and a current input method are given as pixel-driving methods. The former voltage input method is a method in which: a video signal (voltage) that is input to a pixel is input to a gate electrode of a driving element; and the driving element is used to control the luminance of a light emitting element. The latter current input method is a method in which the set signal current is flown to a light emitting element to  
10 control the luminance of the light emitting element.

Hereinafter, referring to Fig. 16A, a brief description will be made of an example of a circuit of a pixel in a light emitting device employing the voltage input method and a driving method thereof. The pixel shown in Fig. 16A includes a signal line 501, a scanning line 502, a switching TFT 503, a driving TFT 504, a capacitor  
15 element 505, a light emitting element 506, and power sources 507 and 508.

When the potential of the scanning line 502 varies, and the switching TFT 503 is turned ON, a video signal that has been input to the signal line 501 is input to a gate electrode of the driving TFT 504. According to the potential of the input video signal, a gate-source voltage of the driving TFT 504 is determined, and a current flowing between  
20 the source and the drain of the driving TFT 504 is determined. This current is supplied to the light emitting element 506, and the light emitting element 506 emits light. As a semiconductor device for driving the light emitting element, a polysilicon transistor is used. However, the polysilicon transistor is prone to variation in electrical characteristics, such as a threshold value and an ON current, due to defects in a grain  
25 boundary. In the pixel shown in Fig. 16A, if characteristics of the driving TFT 504 vary in units of the pixel, even when identical video signals have been input, the magnitudes of the corresponding drain currents of the driving TFTs 504 are different. Thus, the

luminance of the light emitting element 506 varies.

To solve the problems described above, a desired current may be input to the light emitting element, regardless of the characteristics of the TFTs for driving the light emitting element. From this viewpoint, the current input method has been proposed  
5 which can control the magnitude of a current that is supplied to a light emitting element regardless of the TFT characteristics.

Next, referring to Figs. 16B and 17, a brief description will be made of a circuit of a pixel in a light emitting device employing the current input method and a driving method thereof. The pixel shown in Fig. 16B includes a signal line 601, first to third  
10 scanning lines 602 to 604, a current line 605, TFTs 606 to 609, a capacitor element 610, and a light emitting element 611. A current source circuit 612 is disposed to each signal line (each column).

Operations of from video signal-writing to light emission will be described by using Fig. 17. In Fig. 17, reference numerals denoting respective portions conform to  
15 those shown in Fig. 16. Figs. 17A to 17C schematically show current paths. Fig. 17D shows the relationship between currents flowing through respective paths during a write of a video signal, and Fig. 17E shows a voltage accumulated in the capacitor element 610 also during the write of a video signal, that is, a gate-source voltage of the TFT 608.

First, a pulse is input to the first and second scanning lines 602 and 603 to turn  
20 the TFTs 606 and 607 ON. A signal current flowing through the signal line 601 at this time will be referred to as  $I_{data}$ . As shown in Fig. 17A, since the signal current  $I_{data}$  is flowing through the signal line 601, the current separately flows through current paths  $I_1$  and  $I_2$  in the pixel. Fig. 17D shows the relationship between the currents. Needless to say, the relationship is expressed as  $I_{data} = I_1 + I_2$ .

25 The moment the TFT 606 is turned ON, no charge is yet accumulated in the capacitor element 610, and thus, the TFT 608 is OFF. Accordingly,  $I_2 = 0$  and  $I_{data} = I_1$  are established. In the moment, the current flows between electrodes of the capacitor

element 610, and charge accumulation is performed in the capacitor element 610.

Charge is gradually accumulated in the capacitor element 610, and a potential difference begins to develop between both the electrodes (Fig. 17E). When the potential difference of both the electrodes has reached  $V_{th}$  (point A in Fig. 17E), the TFT 608 is turned ON, and  $I_2$  occurs. As described above, since  $I_{data} = I_1 + I_2$  is established, while  $I_1$  gradually decreases, the current keeps flowing, and charge accumulation is continuously performed in the capacitor element 610.

In the capacitor element 610, charge accumulation continues until the potential difference between both the electrodes, that is, the gate-source voltage of the TFT 608 reaches a desired voltage. That is, charge accumulation continues until the voltage reaches a level at which the TFT 608 can allow the current  $I_{data}$  to flow. When charge accumulation terminates (B point in Fig. 17E), the current  $I_1$  stops flowing. Further, since the TFT 608 is fully ON,  $I_{data} = I_2$  is established (Fig. 17B). According to the operations described above, the operation of writing the signal to the pixel is completed. Finally, selection of the first and second scanning lines 602 and 603 is completed, and the TFTs 606 and 607 are turned OFF.

Subsequently, a pulse is input to the third scanning line 604, and the TFT 609 is turned ON. Since  $V_{GS}$  that has been just written is held in the capacitor element 610, the TFT 608 is already turned ON, and a current equal to  $I_{data}$  flows thereto from the current line 605. Thus, the light emitting element 611 emits light. At this time, when the TFT 608 is set to operate in a saturation region, even if the source-drain voltage of the TFT 608 varies, a light emitting current  $I_{EL}$  flowing to the light emitting element 611 flows without variation.

As described above, the current input method refers to a method in which the drain current of the TFT 609 is set to have the same current value as that of the signal current  $I_{data}$  set in the current source circuit 612, and the light emitting element 611 emits light with the luminance corresponding to the drain current. By using the thus

structured pixel, influence of variation in characteristics of the TFTs constituting the pixel is suppressed, and a desired current can be supplied to the light emitting element.

Incidentally, in the light emitting device employing the current input method, a signal current corresponding to a video signal needs to be precisely input to a pixel.

5 However, when a signal line driving circuit (corresponding to the current source circuit 612 in Fig. 16) used to input the signal current to the pixel is constituted by polysilicon transistors, variation in characteristics thereof occurs, thereby also causing variation in characteristics of the signal current.

That is, in the light emitting element employing the current input method,  
10 influence by variation in characteristics of TFTs constituting the pixel and the signal line driving circuit need to be suppressed. However, while the influence of variation in characteristics of the TFTs constituting the pixel can be suppressed by using the pixel having the structure of Fig. 16B, suppression of the influence of variation in characteristics of the TFTs constituting the signal line driving circuit is difficult.

15 Hereinafter, using Fig. 18, a brief description will be made of the structure and operation of a current source circuit disposed in the signal line driving circuit that drives the pixel employing the current input method.

The current source circuit 612 shown in Figs. 18A and 18B corresponds to the current source circuit 612 of Fig. 16B. The current source circuit 612 includes constant  
20 current sources 555 to 558. The constant current sources 555 to 558 are controlled by signals that are input via respective terminals 551 to 554. The magnitudes of currents supplied from the constant current sources 555 to 558 are different from one another, and the ratio thereof is set to 1 : 2 : 4 : 8.

Fig. 18B shows a circuit structure of the current source circuit 612, in which the  
25 constant current sources 555 to 558 shown therein correspond to transistors. The ratio of ON currents of the transistors 555 to 558 is set to 1 : 2 : 4 : 8 according to the ratio (1:2:4:8) of the value of L (gate length)/W (gate width). The current source circuit 612

then can control the current magnitudes at  $2^4 = 16$  levels. Specifically, currents having 16-gradation analog values can be output for 4-bit digital video signals. Note that the current source circuit 612 is constituted by polysilicon transistors, and is integrally formed with the pixel portion on the same substrate.

5           As described above, conventionally, a signal line driving circuit incorporated with a current source circuit has been proposed (for example, refer to Non-patent Documents 1 and 2).

          In addition, digital gradation methods include a method in which a digital gradation method is combined with an area gradation method to represent  
10   multi-gradation images (hereinafter, referred to as area gradation method), and a method in which a digital gradation method is combined with a time gradation method to represent multi-gradation images (hereinafter, referred to as time gradation method). The area gradation method is a method in which one pixel is divided into a plurality of sub-pixels, emission or non-emission is selected in each of the sub-pixels, and the  
15   gradation is represented according to a difference between a light emitting area and the other area in a single pixel. The time gradation method is a method in which gradation representation is performed by controlling the emission period of a light emitting element. To be more specific, one frame period is divided into a plurality of subframe periods having mutually different lengths, emission or non-emission of a light emitting element is  
20   selected in each period, and the gradation is presented according to a difference in length of light emission time in one frame period. In the digital gradation method, the method in which a digital gradation method is combined with a time gradation method (hereinafter, referred to as time gradation method) is proposed. (For example, refer to Patent Document 1).

25

[Non-patent Document 1]

Reiji Hattori & three others, "Technical Report of Institute of Electronics,



Information and Communication Engineers (IEICE) ", ED 2001-8, pp. 7-14, "Circuit Simulation of Current Specification Type Polysilicon TFT Active Matrix-Driven Organic LED Display"

5 [Non-patent Document 2]

Reiji H et al.; "AM-LCD'01", OLED-4, pp. 223-226

[Patent Document 1]

JP 2001-5426 A

10

Disclosure of the Invention

The above-mentioned current source circuit 612 sets each on-current of the transistors at 1:2:4:8 by designing each L/W value. In the transistors 555 to 558, there  
15 occurs dispersion in the threshold value or the mobility, by the combined dispersion factors of the gate length, the gate width, and the thickness of the gate insulation film caused by a difference of the manufacturing process and the substrate being used. Therefore, it is difficult to set each on-current of the transistors 555 to 558 accurately at 1:2:4:8. Namely, each current value supplied to the pixel varies depending on each line.

20 In order to set each on-current of the transistors 555 to 558 accurately at 1:2:4:8 as being designed, it is necessary to make the same the characteristics of the current source circuits in all lines. Namely, although it is necessary to make the same the characteristics of the current source circuits in all lines, actually this is very difficult.

In consideration of the above problem, the present invention is to provide a signal  
25 line driving circuit capable of supplying a desired signal current to the pixel while suppressing the influence of the characteristic dispersion of TFTs. Further, the invention is to provide a light emitting device capable of supplying a desired signal current to a light

emitting element while suppressing the influence of the characteristic dispersion of TFTs forming both of the pixel and the driving circuit, by using a pixel of a circuit structure in which the influence of the characteristic dispersion of the TFTs is suppressed.

The invention is to provide a signal line driving circuit of a new structure including an electric circuit (in this specification, referred to as a current source circuit) for flowing a desired constant current in which the influence of the characteristic dispersion of the TFTs is suppressed. Further, the invention is to provide a light emitting device having the above signal line driving circuit.

In the signal line driving circuit of the invention, a signal current is set in the current source circuit disposed in each signal line, by using the constant current source for video signal. The current source circuit with the signal current set has the ability of flowing the current in proportion to the constant current source for video signal. Therefore, the influence of the characteristic dispersion of the TFTs forming the signal line driving circuit can be suppressed by using the current source circuit.

The constant current source for video signal may be formed integrally with the signal line driving circuit on the substrate. As the current for video signal, the current may be inputted from the outside of the substrate by using the IC and the like.

In this case, as the current for video signal, a constant current or a current corresponding to the video signal is supplied from the outside of the substrate to the signal line driving circuit.

The outline of the signal line driving circuit of the invention will be described by using Fig. 1. In Fig. 1, the signal line driving circuit in the vicinity of the three signal lines from the  $i$ -th line to the  $(i+2)$ -th line is shown.

In Fig. 1, in the signal line driving circuit 403, the current source circuit 420 is disposed in each signal line (each line). The current source circuit 420 has the terminal a, the terminal b, and the terminal c. The setting signal is entered from the terminal a. A current (signal current) is supplied from the constant current source 109 for video signal

connected to the current line, to the terminal b. The signal held in the current source circuit 420 is output from the terminal c through the switch 101. Namely, the current source circuit 420 is controlled by the setting signal inputted from the terminal a, the supplied signal current is inputted from the terminal b, and the current in proportion to the  
5 signal current is output from the terminal c. The switch 101 is disposed between the current source circuit 420 and the pixel connected to the signal line, or between a plurality of current source circuits 420 disposed in mutually different lines, and the on/off operation of the switch 101 is controlled by a latch pulse.

The operation for finishing writing of the signal current into the current source  
10 circuit 420 (the operation for setting the signal current, the operation for setting according to the signal current so as to supply the current in proportion to the signal current, and the operation for setting so that the current source circuit 420 can supply the signal current) is referred to as the setting operation, and the operation for supplying the signal current to the pixel or another current source circuit (the operation of the signal current output by the  
15 current source circuit 420) is referred to as the input operation. In Fig. 2, since each control signal entered to the first current source circuit 421 and the second current source circuit 422 is mutually different, of the first current source circuit 421 and the second current source circuit 422, one performs the setting operation, and the other performs the input operation. Thus, in each line, the two operations can be performed at once.

20 In the invention, the light emitting device includes a panel where the pixel portion having the light emitting elements and the signal line driving circuit are sealed between the substrate and a cover material, a module by mounting IC and the like on the panel, a display, and the like. Namely, the light emitting device corresponds to a generic name of the panel, module, display, and the like.

25 The invention relates to a signal line driving circuit having a first and a second current source circuits corresponding to each of a plurality of signal lines, a shift register, and a constant current source for video signal, which is characterized in that

the first current source circuit is disposed in a first latch and the second current source circuit is disposed in a second latch,

the first current source circuit includes capacitive means for converting a current supplied from the constant current source for video signal into a voltage, according to a sampling pulse supplied from the shift register, and supplying means for supplying a current corresponding to the converted voltage, and

the second current source circuit includes capacitive means for converting a current supplied from the first latch into a voltage, according to a latch pulse, and supplying means for supplying a current corresponding to the converted voltage.

10 The invention relates to a signal line driving circuit having a first and a second current source circuits corresponding to each of a plurality of signal lines, a shift register, and n pieces (n is a natural number including 1 and more) of constant current sources for video signal, which is characterized in that

the first current source circuit is disposed in a first latch and the second current source circuit is disposed in a second latch,

the first current source circuit includes capacitive means for converting a current obtained by adding each current supplied from the n constant current sources for video signal into a voltage, according to a sampling pulse supplied from the shift register, and supplying means for supplying a current corresponding to the converted voltage,

20 the second current source circuit includes capacitive means for converting a current supplied from the first latch into a voltage, according to a latch pulse, and supplying means for supplying a current corresponding to the converted voltage, and

the current values supplied from the n constant current sources for video signal are set at  $2^0:2^1:\dots:2^n$ .

25 The invention relates to a signal line driving circuit having  $2 \times n$  pieces of current source circuits corresponding to each of a plurality of signal lines, a shift register, and n pieces (n is a natural number including 1 and more) of constant current sources for video

signal, which is characterized in that,

of the  $2 \times n$  current source circuits, the respective  $n$  current source circuits are disposed in respective first and second latches,

the  $n$  current source circuits disposed in the first latch include capacitive means  
5 for converting a current supplied from each of the  $n$  constant current sources for video signal into a voltage, according to a sampling pulse supplied from the shift register, and supplying means for supplying a current corresponding to the converted voltage,

the  $n$  current source circuits disposed in the second latch include capacitive means for converting a current obtained by adding each current supplied from the first latch into a  
10 voltage, according to a latch pulse, and supplying means for supplying a current corresponding to the converted voltage,

a current obtained by adding each current supplied from each of the  $n$  current source circuits disposed in the second latch are supplied to the plurality of signal lines, and

the current values supplied from the  $n$  constant current sources for video signal  
15 are set at  $2^0:2^1: \dots :2^n$ .

The invention relates to a signal line driving circuit having  $(n+m)$  pieces of current source circuits corresponding to each of a plurality of signal lines, a shift register, and  $n$  pieces ( $n$  is a natural number including 1 and more,  $n \geq m$ ) of constant current sources for video signal, which is characterized in that

20 of the  $(n+m)$  current source circuits, the  $n$  current source circuits are disposed in a first latch and the  $m$  current source circuits are disposed in a second latch,

the  $n$  current source circuits disposed in the first latch include capacitive means for converting a current supplied from each of the  $n$  constant current sources for video signal into a voltage, according to a sampling pulse supplied from the shift register, and  
25 supplying means for supplying a current corresponding to the converted voltage,

the  $m$  current source circuits disposed in the second latch include capacitive means for converting a current obtained by adding each current supplied from each of the

n current source circuits disposed in the first latch into a voltage, according to a latch pulse, and supplying means for supplying a current corresponding to the converted voltage, and the current values supplied from the n constant current sources for video signal are set at  $2^0:2^1: \dots :2^n$ .

5           In the signal line driving circuit of the invention, the first and the second latches having each current source circuit are disposed. The current source circuit having the supplying means and the capacitive means can supply a current of a predetermined value without having any effect of the characteristic dispersion of the transistors forming the circuit itself. Further, the current source circuit disposed in the first latch is controlled  
10 according to the sampling pulse supplied from the shift register and the current source circuit disposed in the second latch is controlled according to the latch pulse supplied from the outside. Namely, since the current source circuits disposed in the first and the second latches are controlled by mutually different signals, it is possible to take a long time for the operation of converting the supplied current to a voltage and performs the above operation  
15 accurately.

The signal line driving circuit of the invention can be adopted in both of the analog gradation method and the digital gradation method.

In the invention, the TFT can be used in place of a transistor using a general monocrystal, a transistor using SOI, an organic transistor, and the like.

20           The invention is to provide a signal line driving circuit having the above current source circuit. Further, the invention is to provide a light emitting device capable of suppressing the influence of the characteristic dispersion of the TFTs forming both of the pixel and the driving circuit and further supplying a desired signal current  $I_{data}$  to the light emitting element, by using the pixel having the circuit structure for suppressing the  
25 influence of the characteristic dispersion the of the TFTs.

Brief Description of the Drawings

- Fig. 1 is a view of a signal line driving circuit.
- Fig. 2 is a view of a signal line driving circuit.
- Fig. 3 is a view of a signal line driving circuit (1-bit, 2-bit).
- Fig. 4 is a view of a signal line driving circuit (1-bit).
- 5 Fig. 5 is a view of a signal line driving circuit (2-bit).
- Fig. 6 is a circuit diagram of current source circuits.
- Fig. 7 is a circuit diagram of current source circuits.
- Fig. 8 is a circuit diagram of current source circuits.
- Fig. 9 is a circuit diagram of a constant current source for a video signal.
- 10 Fig. 10 is a circuit diagram of a constant current source for a video signal.
- Fig. 11 is a diagram showing a light emitting device.
- Fig. 12 is a view of the appearance of a light emitting device.
- Fig. 13 is a circuit diagram of pixels of a light emitting device.
- Fig. 14 is an explanatory view of a driving method of the present invention.
- 15 Fig. 15 is a view of a light emitting device of the present invention.
- Fig. 16 is a circuit diagram of pixels of a light emitting device.
- Fig. 17 is an explanatory view of operations of a pixel of the light emitting device.
- Fig. 18 is a view of a current source circuit.
- 20 Fig. 19 is an explanatory view of operations of a current source circuit.
- Fig. 20 is an explanatory view of operations of a current source circuit.
- Fig. 21 is an explanatory view of operations of a current source circuit.
- Fig. 22 is a view of electronic devices to which the present invention is applied.
- Fig. 23 is a view of a signal line driving circuit (3-bit).
- 25 Fig. 24 is a view of a signal line driving circuit (3-bit).
- Fig. 25 is a circuit diagram of a constant current source for video signal.
- Fig. 26 is a circuit diagram of a constant current source for video signal.

- Fig. 27 is a circuit diagram of a constant current source for video signal.
- Fig. 28 is a circuit diagram of a current source.
- Fig. 29 is a circuit diagram of a current source.
- Fig. 30 is a circuit diagram of a current source.
- 5 Fig. 31 is a circuit diagram of a current source.
- Fig. 32 is a circuit diagram of a current source.
- Fig. 33 is a circuit diagram of a current source.
- Fig. 34 is a view showing a signal line driving circuit.
- Fig. 35 is a view showing a signal line driving circuit.
- 10 Fig. 36 is a view showing a signal line driving circuit.
- Fig. 37 is a view showing a signal line driving circuit.
- Fig. 38 is a view showing a signal line driving circuit.
- Fig. 39 is a view showing a signal line driving circuit.
- Fig. 40 is a view showing a signal line driving circuit.
- 15 Fig. 41 is a circuit diagram of a constant current source for video signal.
- Fig. 42 is a circuit diagram of a constant current source for video signal.
- Fig. 43 is a circuit diagram of a constant current source for video signal.
- Fig. 44 is a circuit diagram of a constant current source for video signal.
- Fig. 45 is a layout view of a current source circuit.
- 20 Fig. 46 is a circuit diagram of a current source circuit.

#### Best Form for carrying out the Invention

##### [Embodiment form 1]

In this embodiment form, an example of a circuit structure and its operation of a  
25 current source circuit 420 which is provided in a signal line driving circuit of the present  
invention will be described.

In the invention, a setting signal input from a terminal a represents a sampling



pulse or a latch pulse output from a shift register. In other words, a setting signal input from the terminal a in Fig. 1 corresponds to the sampling pulse or the latch pulse. In the present invention, the setting operation of the current source circuit 420 is performed in accordance with the sampling pulse or the latch pulse output from the shift register.

5           The signal line driving circuit of the invention has a shift register, a first latch circuit and a second latch circuit. The first and the second latch circuits have current source circuits, respectively. That is, as a setting signal, a sampling pulse output from a shift register is input to the terminal a in the current source circuit of the first latch circuit. And, as a setting signal, a latch pulse is input to the terminal a in the current source  
10       circuit of the second latch circuit.

          In the first latch circuit, a current (a signal current) from a video data line is supplied to perform the setting operation in the current source circuit of the first latch circuit in concurrence with the sampling pulse output from the shift register. Subsequently, the signal current stored in the first latch circuit is output to the second  
15       latch circuit in concurrence with the latch pulse. At this time, in the second latch circuit, the current (a signal current) output from the first latch circuit is supplied to perform the setting operation in the current source circuit of the second latch circuit. Subsequently, the signal current stored in the second latch circuit is output to a pixel via the signal line.

          Briefly, when the current source circuit of the first latch circuit performs the  
20       setting operation, at the same time, the current source circuit of the second latch circuit outputs the signal current to the pixel, that is, performs input operation. Then, the current source circuit of the first latch circuit performs input operation in concurrence with the latch pulse, in other words, when the first latch outputs a current to the second latch, at the same time, the current source circuit of the second latch uses the current  
25       output from the first latch to perform the setting operation. As described above, since it is possible to perform the setting operation and the input operation in each latch simultaneously, more time can be spent on the setting operation, and the setting operation

can be done accurately. In addition, the signal current provided from the video data line has a magnitude depending on the video signal. Therefore, since the current provided to the pixel has a magnitude in proportion to the signal current, it becomes possible to display image (gray scale).

5           Note that a shift register has a structure including, for example, flip-flop circuits (FFs) in a plurality of columns. A clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb) are input to the shift register, and signals serially output according to the timing of the input signals are called sampling pulses.

          In Fig. 6A, a circuit including switches 104, 105a, and 116, a transistor 102  
10   (n-channel type), and a capacitor element 103 for holding a gate-source voltage  $V_{GS}$  of the transistor 102 corresponds to the current source circuit 420.

          In the current source circuit 420, the switch 104 and the switch 105a are turned ON by a signal input via the terminal a. A current is supplied to the current source circuit of the first latch circuit via a terminal b from a constant current source for video  
15   signal 109 (hereafter referred to as constant current source 109) connected to a current line (video line), and a charge is retained in the capacitor element 103. The charge is retained in the capacitor element 103 until the current supplied from the constant current source 109 becomes identical with a drain current of the transistor 102.

          Further, a current is supplied to the current source circuit of the second latch  
20   circuit via the terminal b from the current source circuit of the first latch circuit, and a charge is retained in the capacitor element 103. The charge is retained in the capacitor element 103 until the current supplied from the current source circuit of the first latch circuit becomes identical with a drain current of the transistor 102.

          Then, the switch 104 and the switch 105a are turned OFF by a signal input via  
25   the terminal a. As a result, since the predetermined charge is retained in the capacitor element 103, the transistor 102 is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current  $I_{data}$ . If the switch 101 and the

switch 116 are turned into a conductive state, in the current source circuit of the first latch circuit, a current via a terminal c flows to the current source circuit of the second latch circuit. At this time, since the gate voltage of the transistor 102 is maintained at a predetermined gate voltage by the capacitor element 103, a drain current corresponding  
5 to the signal current  $I_{data}$  flows through the drain region of the transistor 102.

Further, in the current source circuit of the second latch circuit, a current flows to the pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 102 is maintained at a predetermined gate voltage in the capacitor element 103, a drain current corresponding to the current (signal current  $I_{data}$ )  
10 output from the first latch circuit flows through the drain region of the transistor 102. Thus, influence of the variation in characteristics of the transistors constituting the signal line driving circuit is suppressed, and the magnitude of the current input to the pixel can be controlled.

The connection structure of the switch 104 and the switch 105a is not limited to  
15 the structures shown in Fig. 6A. For example, the structure may be such that one side of the switch 104 is connected to the terminal b, and the other side thereof is connected the gate electrode of the transistor 102; and one side of the switch 105a is connected to the terminal b via the switch 104, and the other side thereof is connected to the switch 116. Then, the switch 104 and the switch 105a are controlled by a signal input from the  
20 terminal a.

Alternatively, the switch 104 may be disposed between the terminal b and the gate electrode of the transistor 104, and the switch 105a may be disposed between the terminal b and the switch 116. Specifically, referring to Fig. 28A, lines, switches, and the like may be disposed such that the connection is structured as shown in Fig. 28(A1)  
25 in the setting operation, and the connection is structured as shown in Fig. 28(A2) in the input operation. The number of lines, the number of switches, and the structure are not particularly limited.

In the current source circuit 420 of Fig. 6A, the signal setting operation (setting operation) and the signal inputting operation (input operation) to the pixel or the current source circuit, that is, the current outputting operation from the current source circuit cannot be performed simultaneously.

5 Referring to Fig. 6B, a circuit including a switch 124, a switch 125, a transistor 122 (n-channel type), a capacitor element 123 for retaining a gate-source voltage  $V_{GS}$  of the transistor 122, and a transistor 126 (n-channel type) corresponds to the current source circuit 420.

The transistor 126 functions as either a switch or a part of a current source  
10 transistor.

In the current source circuit 420, the switch 124 and the switch 125 are turned ON by a signal input via the terminal a. Then, in the current source circuit of the first latch circuit, a current is supplied via the terminal b from the constant current source 109 connected to the current line, and a charge is retained in the capacitor element 123. The  
15 charge is retained therein until the signal current  $I_{data}$  flown from the constant current source 109 becomes identical with a drain current of the transistor 122. Note that, when the switch 124 is turned ON, since a gate-source voltage  $V_{GS}$  of the transistor 126 is set to 0 V, the transistor 126 is turned OFF.

Further, in the current source circuit of the second latch circuit, a signal current  
20  $I_{data}$  is supplied via the terminal b from the first latch circuit, and a charge is retained in the capacitor element 123. The charge is retained therein until the current flown from the first latch circuit becomes identical with a drain current of the transistor 122. Note that, when the switch 124 is turned ON, since a gate-source voltage  $V_{GS}$  of the transistor 126 is set to 0 V, the transistor 126 is turned OFF.

25 Subsequently, the switch 124 and the switch 125 are turned OFF. As a result, since the predetermined charge is retained in the capacitor element 123, the transistor 122 in the current source circuit of the first latch circuit is imparted with a capability of

flowing a current having a magnitude corresponding to that of the signal current  $I_{data}$ . If the switch 101 (signal current control switch) is turned into the conductive state, a current flows to the current source circuit of the second latch circuit via the terminal c. At this time, since the gate voltage of the transistor 122 is maintained by the capacitor element 123 at a predetermined gate voltage, a drain current corresponding to the signal current  $I_{data}$  flows through the drain region of the transistor 122.

Further, the transistor 122 in the current source circuit of the second latch circuit is imparted with a capability of flowing a current having a magnitude corresponding to that of the current (the signal current  $I_{data}$ ) output from the current source circuit of the first latch circuit. If the switch 101 (signal current control switch) is turned into the conductive state, a current flows to a pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 122 is maintained by the capacitor element 123 at a predetermined gate voltage, a drain current corresponding to the signal current  $I_{data}$  flows through the drain region of the transistor 122.

When the switches 124 and 125 have been turned OFF, gate and source potentials of the transistor 126 are varied not to be the same. As a result, since the charge retained in the capacitor element 123 is distributed also to the transistor 126, and the transistor 126 is automatically turned ON. Here, the transistors 122 and 126 are connected in series, and the gates thereof are connected. Accordingly, the transistors 122 and 126 serve respectively as a multi-gate transistor. That is, a gate length  $L$  of the transistor varies between the setting operation and the input operation. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can be made larger than the value of the current supplied from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the constant current source 109 can be charged even faster. Consequently, the setting operation can be completed quickly.

The number of switches, the number of lines, and the connections thereamong

are not particularly limited. Specifically, referring to Fig. 28B, lines and switches may be disposed such that the connection is structured as shown in Fig. 28(B1) in the setting operation, and the connection is structured as shown in Fig. 28(B2) in the input operation. In particular, in Fig. 28(B2), it is sufficient that the charge accumulated in a capacitor element 123 does not leak.

Note that, in the current source circuit 420 of Fig. 6B, the signal setting operation (setting operation) and the signal inputting operation (input operation) to the pixel or the current source circuit, that is, the current outputting operation from the current source circuit cannot be performed simultaneously.

Referring to Fig. 6C, a circuit including a switch 108, a switch 110, transistors 105b, 106 (n-channel type), and a capacitor element 107 for retaining gate-source voltage  $V_{GS}$  of the transistors 150b and 106 corresponds to the current source circuit 420.

In the current source circuit 420, the switch 108 and the switch 110 are turned ON by a signal input via the terminal a. Then, in the current source circuit of the first latch circuit, a current is supplied via the terminal b from the constant current source 109 connected to the current line, and a charge is retained in the capacitor element 107. The charge is retained therein until the signal current  $I_{data}$  flown from the constant current source 109 becomes identical with a drain current of the transistor 105b. At this time, since the gate electrodes of the transistor 105b and of the transistor 106 are connected to each other, the gate voltages of the transistor 105b and the transistor 106 are retained by the capacitor element 107.

Further, in the current source circuit of the second latch circuit, a current is supplied via the terminal b from the current source circuit of the first latch circuit, and a charge is retained in the capacitor element 107. The charge is retained therein until the current (the signal current  $I_{data}$ ) flown from the current source circuit of the first latch circuit becomes identical with a drain current of the transistor 105b. At this time, since the gate electrodes of the transistor 105b and of the transistor 106 are connected to each

other, the gate voltages of the transistor 105b and the transistor 106 are retained by the capacitor element 107.

Then, the switch 108 and the switch 110 are turned OFF. As a result, in the current source circuit of the first latch circuit, since the predetermined charge is retained  
5 in the capacitor element 107, the transistor 106 is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current  $I_{data}$ . If the switch 101 is turned to the conductive state, a current flows to the current source circuit of the second latch circuit via the terminal c. At this time, since the gate voltage of the transistor 106 is maintained by the capacitor element 107 at a predetermined gate voltage,  
10 a drain current corresponding to the current (the signal current  $I_{data}$ ) flows through the drain region of the transistor 106.

Further, in the current source circuit of the second latch circuit, the current (the signal current  $I_{data}$ ) output from the first latch circuit is retained in the capacitor element 107, the transistor 106 is imparted with a capability of flowing a current having a  
15 magnitude corresponding to that of the current (the signal current  $I_{data}$ ). If the switch 101 is turned into the conductive state, a current flows to the pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 106 is maintained by the capacitor element 107 at a predetermined gate voltage, a drain current corresponding to the current (the signal current  $I_{data}$ ) flows through the drain region of the  
20 transistor 106. Thus, influence of the variation in characteristics of the transistors constituting the signal line driving circuit is suppressed, and magnitude of the current input to the pixel can be controlled.

At this time, characteristics of the transistor 105b and the transistor 106 need to be the same to cause the drain current corresponding to the signal current  $I_{data}$  to flow  
25 precisely through the drain region of the transistor 106. To be more specific, values such as mobility and thresholds of the transistor 105b and the transistor 106 need to be the same. In addition, in Fig. 6C, the value of  $W$  (gate width)/ $L$  (gate length) of each of

the transistor 105b and the transistor 106 may be arbitrarily set, and a current proportional to the signal current  $I_{data}$  supplied from the constant current source 109 and the like may be supplied to the pixel.

Further, the values of W/L of the transistor 105b and the transistor 106, which is  
5 connected to the constant current source 109 is set high, whereby the write speed can be increased by supplying a large current from the constant current source 109.

With the current source circuit 420 shown in Fig. 6B, the signal setting operation (setting operation) can be performed simultaneously with the signal inputting operation (input operation) to the pixel.

10 Each of the current source circuits 420 of Figs. 6D and 6E has the same circuit element connection structures as that of the current source circuit 420 of Fig. 6C, except for the connection structure of the switch 110. In addition, since the operation of the current source circuit 420 of each of Figs. 6D and 6E conforms to the operation of the current source circuit 420 of Fig. 6C, a description thereof will be omitted in the present  
15 embodiment form.

Note that, the number of switches, the number of lines, and the structures thereof are not particularly limited. Specifically, referring to Fig. 28C, lines and switches may be disposed such that the connection is structured as shown in Fig. 28(C1) in the setting operation, and the connection is structured as shown in Fig. 28(C2) in the input operation.  
20 In particular, in Fig. 28(C2), it is sufficient that the charge accumulated in the capacitor element 107 does not leak.

Referring to Fig. 29A, a circuit including switches 195b, 195c, 195d, and 195f, a transistor 195a, and a capacitor element 195e corresponds to the current source circuit. In the current source circuit shown in Fig. 29A, the switches 195b, 195c, 195d, and 195f  
25 are turned ON by a signal input via the terminal a. Then, a current is supplied via the terminal b from the constant current source 109 connected to the current line. A predetermined charge is retained in the capacitor element 195e until the signal current



supplied from the constant current source 109 becomes identical to a drain current of the transistor 195a.

Then, the switches 195b, 195c, 195d, and 195f are turned OFF by a signal input via the terminal a. At this time, since the predetermined charge is retained in the capacitor element 195e, the transistor 195a is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current. This is because the gate voltage of the transistor 195a is set by the capacitor element 195a to a predetermined gate voltage, and a drain current corresponding to a current (reference current) flows through the drain region of the transistor 195a. In this state, a current is supplied to the outside via the terminal c. Note that, in the current source circuit shown in Fig. 29A, the setting operation for setting the current source circuit to have a capability of flowing a signal current cannot be performed simultaneously with the input operation for inputting the signal current to the pixel. In addition, when a switch controlled by the signal input via the terminal a is ON, and also, when a current is controlled not to flow from the terminal c, the terminal c needs to be connected to another line of the other potential. Here, the line potential is represented by  $V_a$ .  $V_a$  may be a potential sufficient to flow a current flowing from the terminal b as it is, and may be a power supply voltage  $V_{dd}$  as an example.

Note that, the number of switches, the number of lines, and the structures thereof are not particularly limited. Specifically, referring to Figs. 29B and 29C, lines and switches may be disposed such that the connection is structured as shown in either Fig. 29(B1) or 29(C1) in the setting operation, and the connection is structured as shown in either Fig. 29(B2) or 29(C2) in the input operation.

Further, in the current source circuits of Figs. 6A and 6C to 6E, the current-flow directions (directions from the pixel to the signal line driving circuit) are the same. The polarity (conductivity type) of each of the transistor 102, the transistor 105b, and the transistor 106 can be of p-channel type.

Fig. 7A shows a circuit structure in which the current-flow direction (direction from the pixel to the signal line driving circuit) is the same, and the transistor 102 shown in Fig. 6A is set to be of p-channel type. In Fig. 7A, with the capacitor element disposed between the gate and the source, even when the source potential varies, the gate-source voltage can be maintained. Further, Figs. 7B to 7D show circuit diagrams in which the current-flow directions (directions from the pixel to the signal line driving circuit) are the same, and the transistor 105b and the transistor 106 shown in Figs. 6C to 6E are set to be of p-channel type.

Further, Fig. 30A shows a case where the transistor 195a is set to be of p-channel type in the structure of Fig. 29. Fig. 30B shows a case where the transistors 122 and 126 are set to be of p-channel type in the structure of Fig. 6B.

Referring to Fig. 32, a circuit including switches 104 and 116, a transistor 102, a capacitor element 103, and the like corresponds to the current source circuit.

Fig. 32A corresponds to the circuit of Fig. 6A that is partly modified. In the current source circuit of Fig. 32A, the transistor gate width  $W$  varies between the setting operation of the current source and the input operation. Specifically, in the setting operation, the connection is structured as shown in Fig. 32B, in which the gate width  $W$  is large. In the input operation, the connection is structured as shown in Fig. 32C, in which the gate width  $W$  is small. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can be made larger than the value of the current supplied from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the constant current source for the video signal can be charged even faster. Consequently, the setting operation can be completed quickly.

Note that, Fig. 32 shows the circuit of Fig. 6A that is partly modified. In addition, the circuit can be easily applied to, for example, other circuits shown in Fig. 6 and to the circuits shown in Fig. 7, Fig. 29, Fig. 31, and Fig. 30.

Note that, in the above mentioned current source circuits, a current flows from the pixel to the signal line driving circuit. However, the current not only flows from the pixel to the signal line driving circuit, but also may flow from the signal line driving circuit to the pixel. It depends on the structure of the pixel circuit that the current flows in a direction from the pixel to the signal line driving circuit or in a direction from the signal line driving circuit to the pixel. In the case where the current flows from the signal line driving circuit to the pixel, Vss (low potential power source) may be set to Vdd (high potential power source), and the transistors 102, 105b, 106, 122, and 126 may be set to be of p-channel type in Fig. 6. Also in the circuit diagram shown in Fig. 7, Vss may be set to Vdd, and the transistors 102, 105b, and 106 may be of n-channel type.

Note that lines and switches may be disposed such that the connection is structured as shown in Figs. 31(A1) to 41(D1) in the setting operation, and the connection is structured as shown in Figs. 31(A2) to 41(D2) in the input operation. The number of switches, the number of lines and the connection structures thereof are not particularly limited.

Note that, in all the current source circuits described above, the disposed capacitor element may not be disposed by being substituted by, for example, a gate capacitance of a transistor.

Hereinafter, a description will be made in detail regarding the operations of the current source circuits of Figs. 6A, 7A, 6C to 6E, and 7B to 7D among those described above by using Figs. 6 and 7. To begin with, the operations of the current source circuits of Figs. 6A and 7A will be described with reference to Fig. 19.

Figs. 19A to 19C schematically show paths of a current flowing among circuit elements. Fig. 19D shows the relationship between the current flowing through each path and the time in writing the signal current  $I_{data}$  to the current source circuit. Fig. 19E shows the relationship between the voltage accumulated in a capacitor element 16, that is, the gate-source voltage of a transistor 15, and the time in writing the signal current  $I_{data}$  to

the current source circuit. In the circuit diagrams of Figs. 19A to 19C, numeral 11 denotes a constant current source for video signal, switches 12 to 14 each are a semiconductor device having a switching function, numeral 15 denotes a transistor (n-channel type), numeral 16 denotes a capacitor element, and numeral 17 denotes a pixel.

5 In this embodiment form, the switch 14, the transistor 15, and the capacitor element 16 form an electric circuit corresponding to a current source circuit 20. Drawing lines and reference symbols are shown in Fig. 19A. Since drawing lines and reference symbols shown in Figs. 19B and 19C are similar to those shown in Fig. 19A, they are omitted here. Note that in this specification, a current is supplied from a constant current source 11 for  
10 video signal in the current source circuit of the first latch circuit, the current source circuit of the second latch circuit flows a current to the pixel connected to the signal line. However, here, in order to simplify the description, a current source circuit in which a current is supplied from a constant current source for video signal to a pixel connected to a signal line is described.

15 A source region of the n-channel transistor 15 is connected to Vss, and a drain region thereof is connected to the constant current source 11 for video signal. One of electrodes of the capacitor element 16 is connected to Vss (the source of the transistor 15), and the other electrode is connected to the switch 14 (the gate of the transistor 15). The capacitor element 16 plays a role of holding the gate-source voltage of the transistor  
20 15.

The pixel 17 is formed of a light emitting element, a transistor, or the like. The light emitting element includes an anode, a cathode, and a light emitting layer sandwiched between the anode and the cathode. In this specification, when the anode is used as a pixel electrode, the cathode is referred to as an opposing electrode; in contrast,  
25 when the cathode is used as a pixel electrode, the anode is referred to as an opposing electrode. The light emitting layer can be formed of a known light emitting material. The light emitting layer has two structures: a single layer structure and a laminate

structure, and the present invention may use any one of known structures. Luminescence in the light emitting layer includes light emission (fluorescence) in returning from a singlet excited state to a normal state and light emission (phosphorescence) in returning from a triplet excited state to a normal state. The  
5 present invention may be applied to a light emitting device using either one or both of the two types of light emission. Further, the light emitting layer is formed of a known material such as an organic material or an inorganic material.

Note that, in practice, the current source circuit 20 is provided in the signal line driving circuit. A current corresponding to the signal current  $I_{data}$  flows via, for example,  
10 a circuit element included in the signal line or the pixel from the current source circuit 20 provided in the signal line driving circuit. However, since Fig. 19 is a diagram for briefly explaining the outline of the relationship among the constant current source 11 for video signal, the current source circuit 20, and the pixel 17, a detailed illustration of the structure is omitted.

15 First, an operation (setting operation) of the current source circuit 20 for retaining the signal current  $I_{data}$  will be described by using Figs. 19A and 19B. Referring to Fig. 19A, the switch 12 and the switch 14 are turned ON, and the switch 13 is turned OFF. In this state, the signal current  $I_{data}$  is output from the constant current source 11 for video signal, and flows to the current source circuit 20 from the constant  
20 current source 11 for video signal. At this time, since the signal current  $I_{data}$  is flowing from the constant current source 11 for video signal, the current flows separately through current paths  $I_1$  and  $I_2$  in the current source circuit 20, as shown in Fig. 19A. Fig. 19D shows the relationship at this time. Needless to say, the relationship is expressed as  $I_{data} = I_1 + I_2$ .

25 The moment the current starts to flow from the constant current source 11 for video signal, since no charge is accumulated in the capacitor element 16, the transistor 15 is OFF. Accordingly,  $I_2 = 0$  and  $I_{data} = I_1$  are established.

Charge is gradually accumulated into the capacitor element 16, and a potential difference begins to occur between both electrodes of the capacitor element 16 (Fig. 19E). When the potential difference of both the electrodes has reached  $V_{th}$  (point A in Fig. 19E), the transistor 15 is turned ON, and  $I_2 > 0$  is established. As described above, since  $I_{data} =$   
5  $I_1 + I_2$ , while  $I_1$  gradually decreases, the current keeps flowing. Charge accumulation is continuously performed in the capacitor element 16.

The potential difference between both the electrodes of the capacitor element 16 serves as the gate-source voltage of the transistor 15. Thus, charge accumulation in the capacitor element 16 continues until the gate-source voltage of the transistor 15 reaches a  
10 desired voltage, that is, a voltage (VGS) that allows the transistor is to be flown with the current  $I_{data}$ . When charge accumulation terminates (B point in Fig. 19E), the current  $I_1$  stops flowing. Further, since the TFT 15 is ON,  $I_{data} = I_2$  is established (Fig. 19B).

Next, an operation (input operation) for inputting the signal current  $I_{data}$  to the pixel will be described by using Fig. 19C. When the signal current  $I_{data}$  is input to the  
15 pixel, the switch 13 is turned ON, and the switch 12 and the switch 14 are turned OFF. Since VGS written in the above-described operation is held in the capacitor element 16, the transistor 15 is ON. A current identical with the signal current  $I_{data}$  flows to Vss via the switch 13 and transistor 15, and the input of the signal current  $I_{data}$  to the pixel is then completed. At this time, when the transistor 15 is set to operate in a saturation region,  
20 even if the source-drain voltage of the transistor 15 varies, a current flowing into the pixel can flows constantly.

In the current source circuit 20 shown in Fig. 19, as shown in Figs. 19A to 19C, the operation is divided into an operation (setting operation; corresponding to Figs. 19A and 19B) for completing a write of the signal current  $I_{data}$  to the current source circuit 20,  
25 and an operation (input operation; corresponding to Fig. 19C) for inputting the signal current  $I_{data}$  to the pixel). Then, in the pixel, a current is supplied to the light emitting element in accordance with the input signal current  $I_{data}$ .

The current source circuit 20 of Fig. 19 is not capable of performing the setting operation and the input operation simultaneously. In the case where the setting operation and the input operation need to be performed simultaneously, at least two current source circuits are preferably provided to each of a plurality of signal lines each of which is connected with a plurality of pixels and which are provided in a pixel portion.  
5 However, if the setting operation can be performed within a period during which the signal current  $I_{data}$  is not input to the pixel, only one current source circuit may be provided for each signal line (each column).

Although the transistor 15 of the current source circuit 20 shown in each of Figs. 19A to 19C is of n-channel type, the transistor 15 of the current source circuit 20 may be  
10 of p-channel type, of course. Here, a circuit diagram for the case where the transistor 15 is of p-channel type is shown in Fig. 19. Referring to Fig. 19F, numeral 31 denotes a constant current source for video signal, switches 32 to 34 each are a semiconductor device (transistor) having a switching function, numeral 35 denotes a transistor  
15 (p-channel type), numeral 36 denotes a capacitor element, and numeral 37 denotes a pixel. In this embodiment form, the switch 34, the transistor 35, and the capacitor element 36 form an electric circuit corresponding to a current source circuit 24.

The transistor 35 is of p-channel type. One of a source region and a drain region of the transistor 35 is connected to Vdd, and the other is connected to the constant  
20 current source 31. One of electrodes of the capacitor element 36 is connected to Vdd, and the other electrode is connected to the switch 36. The capacitor element 36 plays a role of holding the gate-source voltage of the transistor 35.

Operation of the current source circuit 24 of Fig. 19F is similar to the operation of the current source circuit 20 described above, except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current  
25 source circuit in which the polarity of the transistor 15 is changed without changing the current-flow direction, the circuit diagram of Fig. 7A may be referenced.

Note that in Fig. 33, the current-flow direction is the same as in Fig. 19F, in which the transistor 35 is of n-channel type. The capacitor element 36 is connected between the gate and the source of the transistor 35. The source potential of the transistor 35 varies between the setting operation and the input operation. However, even when the source potential varies, since the gate-source voltage is retained, a normal operation is implemented.

Next, operations of the current source circuits shown in Figs. 6C to 6E and Figs. 7B to 7D will be described by using Figs. 20 and 21. Figs. 20A to 20C schematically show paths through which a current flows among circuit elements. Fig. 20D shows the relationship between the current flowing through each path and the time in writing the signal current  $I_{data}$  to the current source circuit. Fig. 20E shows the relationship between the voltage accumulated in a capacitor element 46, that is, the gate-source voltages of transistor 43, 44, and the time in writing the signal current  $I_{data}$  to the current source circuit. Further, in the circuit diagrams of Figs. 20A to 20C, numeral 41 denotes a constant current source for video signal, a switch 42 is a semiconductor device having a switching function, numerals 43 and 44 denote transistors (n-channel type), numeral 46 denotes a capacitor element, and numeral 47 denotes a pixel. In this embodiment form, the switch 42, the transistors 43 and 44, and the capacitor element 46 compose an electric circuit corresponding to a current source circuit 25. Note that drawing lines and reference symbols are shown in Fig. 20A, and since drawing lines and reference symbols shown in Figs. 20B and 20C conform to those shown in Fig. 20A, they are omitted. Note that in this specification, a current is supplied from a constant current source 11 for video signal in the current source circuit of the first latch circuit, the current source circuit of the second latch circuit flows a current to the pixel connected to the signal line. However, here, in order to simplify the description, a current source circuit in which a current is supplied from a constant current source for video signal to a pixel connected to a signal line is described.



A source region of the n-channel transistor 43 is connected to Vss, and a drain region thereof is connected to the video signal current source 41. A source region of the n-channel transistor 44 is connected to Vss, and a drain region thereof is connected to a terminal 48 of the light emitting element 47. One of electrodes of the capacitor element 46 is connected to Vss (the sources of the transistors 43 and 44), and the other electrode thereof is connected to the gate electrodes of the transistors 43 and 44. The capacitor element 46 plays a role of holding gate-source voltages of the transistors 43 and 44.

Note that, in practice, the current source circuit 25 is provided in the signal line driving circuit. A current corresponding to the signal current  $I_{data}$  flows via, for example, a circuit element included in the signal line or the pixel, from the current source circuit 25 provided in the signal line driving circuit. However, since Fig. 20 is a diagram for briefly explaining the outline of the relationship among the constant current source for video signal 41, the current source circuit 25, and the pixel 47, a detailed illustration of the structure is omitted.

In the current source circuit 25 of Fig. 20, the sizes of the transistors 43 and 44 are important. Hereinafter, using different reference symbols, a case where the sizes of the transistors 43 and 44 are identical and a case the sizes are mutually different will be described. Referring to Figs. 20A to 20C, the case where the sizes of the transistors 43 and 44 are mutually identical will be described by using the signal current  $I_{data}$ . The case where the sizes of the transistors 43 and 44 are mutually different will be described by using a signal current  $I_{data1}$  and a signal current  $I_{data2}$ . Note that the sizes of the transistors 43 and 44 are determined using the value of  $W$  (gate width)/ $L$  (gate length) of each transistor.

First, the case where the sizes of the transistors 43 and 44 are mutually identical will be described. To begin with, operation for retaining the signal current  $I_{data}$  in the current source circuit 20 will be described by using Figs. 20A and 20B. Referring to Fig. 20A, when the switch 42 is turned ON, the signal current  $I_{data}$  is set in the video

signal current source 41, and flows from the constant current source for video signal 41 to the current source circuit 25. At this time, since the signal current  $I_{data}$  is flowing from the constant current source for video signal 41, the current flows separately through current paths  $I_1$  and  $I_2$  in the current source circuit 20, as shown in Fig. 20A. Fig. 20D shows the relationship at this time. Needless to say, the relationship is expressed as  $I_{data} = I_1 + I_2$ .

The moment the current starts to flow from the video signal current source 41, since no charge is yet accumulated in the capacitor element 46, the transistors 43 and 44 are OFF. Accordingly,  $I_2 = 0$  and  $I_{data} = I_1$  are established.

Then, charge is gradually accumulated into the capacitor element 46, and a potential difference begins to occur between both electrodes of the capacitor element 46 (Fig. 20E). When the potential difference of both the electrodes has reached  $V_{th}$  (point A in Fig. 20)), the transistors 43 and 44 are turned ON, and  $I_2 > 0$  is established. As described above, since  $I_{data} = I_1 + I_2$ , while  $I_1$  gradually decreases, the current keeps flowing. Charge accumulation is continuously performed in the capacitor element 46.

The potential difference between both the electrodes of the capacitor element 46 serves as the gate-source voltage of each of the transistors 43 and 44. Thus, charge accumulation in the capacitor element 46 continues until the gate-source voltages of the transistors 43 and 44 each reach a desired voltage, that is, a voltage (VGS) that allows the transistor 44 to be flown with the current  $I_{data}$ . When charge accumulation terminates (B point in Fig. 20E), the current  $I_1$  stops flowing. Further, since the transistors 43 and 44 are ON,  $I_{data} = I_2$  is established (Fig. 20B).

Next, operation for inputting the signal current  $I_{data}$  to the pixel will be described by using Fig. 20C. First, the switch 42 is turned OFF. Since VGS written at the above-described operation is retained in the capacitor element 46, the transistors 43 and 44 are ON. A current identical with the signal current  $I_{data}$  flows from the pixel 47. Thus, the signal current  $I_{data}$  is input to the pixel. At this time, when the transistor 44 is

set to operate in a saturation region, even if the source-drain voltage of the transistor 44 varies, the current flowing in the pixel can be flown without variation.

In the case of a current mirror circuit shown in Fig. 6C, even when the switch 42 is not turned OFF, a current can be flown to the pixel 47 by using the current supplied from the video signal current source 41. That is, the setting operation for setting a signal for the current source circuit 20 can be implemented simultaneously with the operation (input operation) for inputting a signal to the pixel.

Next, a case where the sizes of the transistors 43 and 44 are mutually different will be described. An operation of the current source circuit 25 is similar to the above-described operation; therefore, a description thereof will be omitted here. When the sizes of the transistors 43 and 44 are mutually different, the signal current  $I_{data1}$  set in the video signal current source 41 is inevitably different from the signal current  $I_{data2}$  that flows to the pixel 47. The difference therebetween depends on the difference between the values of  $W$  (gate width)/ $L$  (gate length) of the transistors 43 and 44.

In general, the  $W/L$  value of the transistor 43 is preferably set larger than the  $W/L$  value of the transistor 44. This is because the signal current  $I_{data1}$  can be increased when the  $W/L$  value of the transistor 43 is set large. In this case, when the current source circuit is set with the signal current  $I_{data1}$ , Loads (cross capacitances, wiring resistances) can be charged. Thus, the setting operation can be completed quickly.

The transistors 43 and 44 of the current source circuit 25 in each of Figs. 20A to 20C are of n-channel type, but the transistors 43 and 44 of the current source circuit 25 may be of p-channel type. Here, Fig. 21 shows a circuit diagram in which the transistors 43 and 44 are of p-channel type.

Referring to Fig. 21, numeral 41 denotes a constant current source, a switch 42 is a semiconductor device having a switching function, numerals 43 and 44 denote transistors (p-channel type), numeral 46 denotes a capacitor element, and numeral 47 denotes a pixel. In this embodiment form, the switch 42, the transistors 43 and 44, and

the capacitor element 46 form an electric circuit corresponding to a current source circuit 26.

A source region of the p-channel transistor 43 is connected to Vdd, and a drain region thereof is connected to the constant current source 41. A source region of the p-channel transistor 44 is connected to Vdd, and a drain region thereof is connected to a terminal 48 of the light emitting element 47. One of electrodes of the capacitor element 46 is connected to (source), and the other electrode is connected to the gate electrodes of the transistors 43 and 44. The capacitor element 46 plays a role of holding gate-source voltages of the transistors 43 and 44.

Operation of the current source circuit 24 of Fig. 21 is similar to that shown in each of Figs. 20A to 20C except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarities of the transistors 43 and 44 are changed without changing the current-flow direction, Fig. 7B and Fig. 33 may be referenced.

In summary, in the current source circuit of Fig. 19, the current having the same magnitude as that of the signal current  $I_{data}$  set in the current source flows to the pixel. In other words, the signal current  $I_{data}$  set in the constant current source is identical in value with the current flowing to the pixel. The current is not influenced by variation in characteristics of the transistors provided in the current source circuit.

In each of the current source circuits of Fig. 19 and Fig. 6B, the signal current  $I_{data}$  cannot be output to the pixel from the current source circuit in a period during which the setting operation is performed. Thus, two current source circuits are preferably provided for each signal line, in which an operation (setting operation) for setting a signal is performed to one of the current source circuits, and an operation (input operation) for inputting  $I_{data}$  to the pixel is performed using the other current source circuit.

However, in the case where the setting operation and the input operation are not performed at the same time, only one current source circuit may be provided for each

column. The current source circuit of each of Figs. 29A and 30A is similar to the current source circuit of Fig. 19, except for the connection and current-flow paths. The current source circuit of Fig. 32A is similar, except for the difference in magnitude between the current supplied from the constant current source and the current flowing  
5 from the current source circuit. The current source circuits of Figs. 6B and 30B are similar, except for the difference in magnitude between the current supplied from the constant current source and the current flowing from the current source circuit. Specifically, in Fig. 32A, only the gate width  $W$  of the transistor is different between the setting operation and the input operation; in Figs. 6B and 30B, only the gate length  $L$  is  
10 different between the setting operation and the input operation; and others are similar to those of the structure of the current source circuit in Fig. 19.

In each of the current source circuits of Figs. 20 and 21, the signal current  $I_{data}$  set in the constant current source and the value of the current flowing to the pixel are dependent on the sizes of the two transistors provided in the current source circuit. In  
15 other words, the signal current  $I_{data}$  set in the constant current source and the current flowing to the pixel can be arbitrarily changed by arbitrarily designing the sizes ( $W$  (gate width)/ $L$  (gate length)) of the two transistors provided in the current source circuit. However, output of precise signal current  $I_{data}$  to the pixel is difficult in the case where variation is caused in the characteristics of the two transistors, such as threshold values  
20 and mobility.

Further, in each of the current source circuits of Figs. 20 and 21, the signal can be input to the pixel during the setting operation. That is, the setting operation for setting the signal can be performed simultaneously with the operation (input operation) for inputting the signal to the pixel. Thus, unlike the current source circuit of Fig. 19,  
25 two current source circuits do not need to be provided in a single signal line.

The present invention with the above structure can suppress the influence of variation in the TFT characteristics and supply a desired current to the outside.

[Embodiment Form 2]

In this embodiment form, the structure of a light emitting device including a signal line driving circuit of the present invention will be described by using Fig. 15.

5           The light emitting device of the invention comprises a pixel portion 402 with a plurality of pixels arranged in a matrix shape, on a substrate 401, and a signal line driving circuit 403, a first scanning line driving circuit 404, and a second scanning line driving circuit 405 arranged around the pixel portion 402. In Fig. 15A, although it has the signal line driving circuit 403 and two sets of scanning line driving circuits 404 and 405, the  
10 invention is not restricted to this. The number of the driving circuits can be determined depending on the structure of the pixels. A signal is supplied from the outside to the signal line driving circuit 403, the first scanning line driving circuit 404, and the second scanning line driving circuit 405, through the FPC 406.

          The structure of the first scanning line driving circuit 404 and the second  
15 scanning line driving circuit 405 will be described by using Fig. 15B. Each of the first scanning line driving circuit 404 and the second scanning line driving circuit 405 has a shift register 407 and a buffer 408. For an easy description of the operation, the shift register 407 supplies sampling pulses sequentially, according to a clock signal (G-CLK), a start pulse (S-SP), and a clock inverse signal (G-CLKb). Thereafter, the sampling pulses  
20 amplified by the buffer 408 are supplied to the scanning lines to make each one line into a selection state. Then, a signal current  $I_{data}$  is sequentially written into the controlled pixel from the signal line, according to the selected scanning line.

          Between the shift register 407 and the buffer 408, a level shifter circuit may be arranged. The voltage amplitude can be increased by placing the level shifter circuit.

25           The structure of the signal line driving circuit 403 will be described below. The form of this embodiment may be freely combined with the embodiment form 1.

[Embodiment Form 3]

In this embodiment form, the structure of the signal line driving circuit 403 shown in Fig. 15A and the operation thereof will be described. In this embodiment form, the signal line driving circuit 403 used for performing an analog gradation display or a digital gradation display of one bit will be described.

5            Fig. 3A shows a schematic view of the signal line driving circuit 403 in the case of performing the analog gradation display or the digital gradation display of one bit. The signal line driving circuit 403 has a shift register 415, a first latch circuit 416, and a second latch circuit 417.

            For an easy description of the operation, the shift register 415 is formed by a  
10          plurality of lines of flip-flop circuits (FF) and the like, to which the clock signal (S-CLK), the start pulse (S-SP), and the clock inverse signal (S-CLKb) are supplied. According to the timing of these signals, sampling pulses are sequentially supplied therefrom.

            The sampling pulses supplied from the shift register 415 are supplied to a first latch circuit 416. A video signal (digital video signals or analog video signals) is entered  
15          in the first latch circuit 416, and the video signal is kept in each line according to the timing of entering the sampling pulses.

            In the first latch circuit 416, when the video signal has been kept in every line including the final line, a latch pulse is entered into a second latch circuit 417 in the horizontal retrace time, and the video signal kept in the first latch circuit 416 is all  
20          transferred to the second latch circuit 417. Then, it is found that the video signal kept in the second latch circuit 417 has been supplied at once for every one line to each pixel connected to each signal line.

            While the video signal kept in the second latch circuit 417 is being supplied to the pixels, the sampling pulses are supplied from the shift register 411 again. Thereafter, the  
25          operation will be repeated, thereby performing the processing of the video signal for one frame.

            The signal line driving circuit of the invention includes the first latch circuit 416

and the second latch circuit 417 having each current source circuit.

The structure of the first latch circuit 416 and the second latch circuit 417 will be described by using Fig. 4, this time. Fig. 4 shows the outline of the signal line driving circuit 403 in the vicinity of the three signal lines from the  $i$ -th line to the  $(i+2)$ -th line.

5        The signal line driving circuit 403 includes a current source circuit 431, a switch 432, a current source circuit 433, and a switch 434 in each line. The switch 432 and the switch 434 are controlled by the latch pulse. The mutually inverted signals are entered respectively into the switch 432 and the switch 434. Therefore, the current source circuit 433 performs one of the setting operation and the input operation.

10       The current source circuit 431 and the current source circuit 433 are controlled by a signal entered through a terminal a. A current (signal current  $I_{data}$ ) set by using a constant current source 109 for video signal connected to a video line (current line) through a terminal b is held in the current source circuit 431 belonging to the first latch circuit 416. The switch 432 is provided between the current source circuit 431 and the  
15       current source circuit 433, and the on/off operation of the switch 432 is controlled by the latch pulse.

A current supplied from the current source circuit 431 (the first latch circuit 416) is held in the current source circuit 433 belonging to the second latch circuit 417. The switch 434 is provided between the current source circuit 433 and the pixel connected to  
20       the signal line and the on/off operation of the switch 434 is controlled by the latch pulse.

The switch 434 provided between the current source circuit 433 and the pixel connected to the signal line can be omitted when a switch is set in the current source circuit 433. Depending on the structure of the current source circuit, there is a case in which the switch 434 is not required between the current source circuit 433 and the pixel  
25       connected to the signal line.

Similarly to the switch 434 provided between the current source circuit 433 and the pixel connected to the signal line, the switch 432 provided between the current source



circuit 431 and the current source circuit 433 can be also omitted in some cases.

In the case of performing the digital gradation display of one bit, the signal current  $I_{data}$  is supplied from the current source circuit 433 to the pixel when the video signal is a bright signal. On the contrary, when the video signal is a dark signal, since the  
5 current source circuit 433 doesn't have an ability of supplying a current, no current flows to the pixel. In the case of performing the analog gradation display, the signal current  $I_{data}$  is supplied from the current source circuit 433 to the pixel, according to the video signal. Namely, in the current source circuit 433, the ability ( $V_{GS}$ ) of supplying a current is controlled by the video signal and the brightness is controlled, according to the amount  
10 of the current supplied to the pixels.

In the invention, a setting signal supplied from the terminal a means the sampling pulse or the latch pulse supplied from the shift register. Namely, the setting signal in Fig. 1 corresponds to the sampling pulse or the latch pulse supplied from the shift register. In the invention, the current source circuit is set, according to the sampling pulse or the latch  
15 pulse supplied from the shift register.

The sampling pulse supplied from the shift register 415 is entered into the terminal a of the current source circuit 431 belonging to the first latch circuit 416. The latch pulse is entered into the terminal a of the current source circuit 433 belonging to the second latch circuit 417.

20 The circuitry of the current source circuit as shown in Fig. 6, Fig. 7, Fig. 29, Fig. 30, and Fig. 32, etc. can be freely used in the current source circuit 431 and the current source circuit 433. The respective current source circuits may adopt not only one method but also a plurality of methods.

Although the setting operation is performed on the first latch circuit for every one  
25 line by the constant current source 109 for video signal in Fig. 4, it is not restricted to this. As illustrated in Fig. 34, the setting operation can be performed at once in a plurality of lines and in other words, in a multiphasic way. Although two constant current sources

109 for video signal are arranged in Fig. 34, the setting operation may be performed on the two constant current sources 109 for video signal by another constant current source for video signal separately arranged.

In the below, an example of the combination of the methods for use in the current  
5 source circuit 431 and the current source circuit 433 in Fig. 4 and its merit will be described.

In the current source circuit 431 belonging to the first latch circuit 416 and the current source circuit 433 belonging to the second latch circuit 417, a description will be made in the case where one is a circuit as shown in Fig. 6A and the other is a current  
10 mirror circuit as shown in Fig. 6C.

The current source circuit of the current mirror circuit as shown in Fig. 6C has at least two transistors and the gate electrodes of the two transistors are commonly or electrically connected, as mentioned above. Of the two transistors, one of the source region and the drain region of one transistor and one of the source region and the drain  
15 region of the other transistor are respectively connected to different circuit elements. For example, in the current source circuit shown in Fig. 20, of the two transistors, one transistor (one of the source region and the drain region of it) is connected to the constant current source and the other transistor (one of the source region and the drain region of it) is connected to the pixel.

20 At first, a description will be made in the case where the current source circuit 431 belonging to the first latch circuit 416 is the circuit as shown in Fig. 6A and the current source circuit 433 belonging to the second latch circuit 417 is the current mirror circuit as shown in Fig. 6C. In this case, of the two transistors belonging to the current source circuit 433 that is the current mirror circuit as shown in Fig. 6C, one is connected to  
25 the current source circuit 431 belonging to the first latch circuit 416 and the other is connected to the pixel through the switch 434.

In the case of the above structure, the switch 434 is not necessarily required.

This is why the current supplied from the current source circuit 431 belonging to the first latch circuit 416 never flows to the pixel and the setting operation and the input operation can be performed at once in the case where the current source circuit 433 belonging to the second latch circuit 417 is the current mirror circuit as shown in Fig. 6C.

5           Namely, in the case of the current mirror circuit as shown in Fig. 6C, the transistor for performing the setting operation and the transistor for performing the input operation are different. The current flowing between the source/drain of the transistor for performing the setting operation never flows into between the source/drain of the transistor for performing the input operation. Further, it is true in the other way around.

10          Therefore, the current supplied from the current source circuit 431 belonging to the first latch circuit 416 flows into the transistor for performing the setting operation, but does not flow into the transistor for performing the input operation, and the current does not flow to the pixel. Accordingly, without setting of the switch 434, the setting operation and the input operation are not badly affected with each other, thereby causing no problem.

15           In the two transistors of the current mirror circuit as shown in Fig. 6C, when the  $W(\text{gate width})/L(\text{gate length})$  ratio of the transistor connected to the pixel is set smaller than that of the transistor connected to the current source circuit 431 belonging to the first latch circuit 416, the constant current amount supplied from the current generator 109 for video signal can be increased.

20           For example, assume that the amount of the current given to the pixel is  $P$ . Then, assuming that the  $W/L$  ratio of the transistor connected to the pixel is  $W_a$  and that the  $W/L$  ratio of the transistor connected to the current source circuit 431 is  $(2 \times W_a)$ , the current of  $(2 \times P)$  will be supplied from the constant current source 109 for video signal. Thus, by setting the  $W/L$  ratio of the transistor at a proper value, the current supplied from the

25          constant current source 109 for video signal can be increased, thereby performing the setting operation of the current source circuit 431 quickly and accurately.

The circuit diagram in this case is shown in Fig. 35.

Next, a description will be made in the case where the current source circuit 431 belonging to the first latch circuit 416 is the current mirror circuit as shown in Fig. 6C and the current source circuit 433 belonging to the second latch circuit 417 is the circuit as shown in Fig. 6A. In this case, in the two transistors of the current source circuit 431 that  
5 is the current mirror circuit as shown in Fig. 6C, one is connected to the constant current source 109 for video signal and the other is connected to the current source circuit 433 belonging to the second latch circuit 417.

In the two transistors of the current mirror circuit as shown in Fig. 6C, when the  $W(\text{gate width})/L(\text{gate length})$  ratio of the transistor connected to the current source circuit  
10 433 belonging to the second latch circuit 417 is set smaller than that of the transistor connected to the constant current source 109 for video signal, the current amount supplied from the constant current source 109 for video signal can be increased.

For example, assume that the current amount given to the pixel is  $P$ . Assuming that the  $W/L$  ratio of the transistor connected to the current source circuit 433 belonging to  
15 the second latch circuit 417 is  $W_a$  and that the  $W/L$  ratio of the transistor connected to the constant current source 109 for video signal is  $(2 \times W_a)$ , the current of  $(2 \times P)$  will be supplied from the constant current source 109 for video signal. Thus, by setting the  $W/L$  ratio of the transistor at a proper value, the current amount supplied from the constant current source 109 for video signal can be increased, thereby performing the setting  
20 operation of the current source circuit 431 quickly and accurately.

The circuit diagram in this case is shown in Fig. 36.

This time, a description will be made in the case where the both of the current source circuit 431 belonging to the first latch circuit 416 and the current source circuit 432 belonging to the second latch circuit 417 are the current mirror circuits as shown in Fig.  
25 6C.

For example, assume that the current amount given to the pixel is  $P$ . Assuming that, in the current source circuit 433 belonging to the second latch circuit 417, in the two

transistors of the current mirror circuit as shown in Fig. 6C, the W/L ratio of the transistor connected to the pixel is  $W_a$ , the W/L ratio of the transistor connected to the current source circuit belonging to the first latch circuit 416 is  $(2 \times W_a)$ . Then, the current amount becomes twice in the current source circuit 433 belonging to the second latch circuit 417.

5            Similarly, in the two transistors of the current mirror circuit as shown in Fig. 6C, assume that the W/L ratio of the transistor connected to the constant current source 109 for video signal is  $(2 \times W_b)$  and that the W/L ratio of the transistor connected to the second latch circuit 417 is  $W_b$ . Then, the current amount becomes twice in the current source circuit 431 belonging to the first latch circuit 416. Then, the current of  $(4 \times P)$  will be  
10 supplied from the constant current source 109 for video signal. Thus, by setting the W/L ratio of the transistor at a proper value, the current supplied from the constant current source 109 for video signal can be increased, thereby performing the setting operation of the current source circuit 431 quickly and accurately.

            The circuit diagram in this case is shown in Fig. 37. In this case, as illustrated in  
15 Fig. 38, the switch 432 does not have to be provided between the current source circuit belonging to the first latch circuit and the current source circuit belonging to the second latch circuit. In this case, however, the current continues flowing between the current source circuit belonging to the first latch circuit and the current source circuit belonging to the second latch circuit, which is not preferable.

20            At last, a description will be made in the case where the both of the current source circuit 431 belonging to the first latch circuit 416 and the current source circuit 433 belonging to the second latch circuit 417 are the circuits as shown in Fig. 6A. By use of the current source circuit of the type as shown in Fig. 6A, ill effect caused by the characteristic dispersion of the transistor can be further restrained. Namely, since the  
25 transistor for performing the setting operation and the transistor for performing the input operation are the same, there is no ill effect caused by the dispersion between the transistors. However, since the current amount supplied from the constant current source

109 for video signal cannot be increased, the setting operation cannot be performed quickly.

The circuit diagram in this case is shown in Fig. 39.

5 In the current source circuit belonging to the first latch circuit 416, the current source circuits of only one structure are not used but a combination of the current source circuits of various structures may be also used, such as using the circuit as shown in Fig. 6A or the current mirror circuit as shown in Fig. 6C. Similarly, the current source circuits of various structures may be mixed, also in those belonging to the second latch circuit 417.

10 In the structure of Fig. 39, the current flows from the pixel through the signal line toward the current source circuit. The direction of the current, however, varies depending on the structure of the pixel. Then, the circuit diagram in the case where the current flows from the current source circuit to the pixel is shown in Fig. 40.

The above may be summarized as follows: by adopting the current mirror circuit  
15 as shown in Fig. 6C as the current source circuits (the current source circuit 431 and the current source circuit 433) and further setting the W/L ratio at a proper value, the current supplied from the constant current source 109 for video signal can be increased. As a result, the setting operation of the current source circuits (the current source circuit 431 and the current source circuit 433) can be performed accurately.

20 In the current mirror circuit as shown in Fig. 6C, however, there are at least two transistors having the gate electrodes in common, and if the characteristics of the two transistors are dispersed, the currents supplied therefrom are dispersed. However, by setting the W/L ratio of the channel width W and the channel length L in the two transistors, at a different value, the current amount can be changed. Generally, the  
25 current is increased at the setting operation time. As a result, the setting operation can be performed quickly.

The current at the setting operation time corresponds to the current supplied from

the constant current source 109 for video signal in the case of the current source circuit of the first latch circuit, and it corresponds to the current supplied from the current source of the first latch circuit in the case of the current source circuit of the second latch circuit.

On the other hand, in the case of using the circuit as shown in Fig. 6A, the current  
5 flowing at the setting operation time is substantially equal to the current flowing at the input operation time. Therefore, the current for performing the setting operation cannot be increased. However, the transistor of supplying the current at the setting operation time and the transistor of supplying the current at the input operation time are the same. Accordingly, there is no ill effect caused by the dispersion between the transistors.  
10 Therefore, it is preferable to use the current source circuits in a proper combination, for example, using the current mirror circuit as shown in Fig. 6C in the portion where a large amount of the current is desired at the setting operation time and using the circuit as shown in Fig. 6A in the portion where the more accurate output of the current is desired.

In the current mirror circuit as shown in Fig. 6C, there are at least two transistors  
15 having the gate electrodes in common, and if the characteristics of the two transistors are dispersed, the current supplied therefrom are dispersed. However, if the characteristics of the two transistors are uniform, the currents supplied therefrom will not be dispersed. Conversely, in order not to disperse the output currents, it is necessary to make the characteristics of the two transistors uniform. Namely, it is necessary to make the  
20 characteristics uniform between the two transistors having the gate electrodes in common, in the current mirror circuit as shown in Fig. 6C. It is not necessary to make the characteristics uniform between the transistors having no common gate electrode. This is because the setting operation is performed on the respective current source circuits. Namely, the transistor that becomes the object of the setting operation and the transistor  
25 used at the input operation time need to have the same characteristics. When the characteristics are not uniform between the transistors having no common gate electrode, since the respective current source circuits are set according to the setting operation, the

characteristic dispersion can be corrected.

Generally, in the current mirror circuit as shown in Fig. 6C, since the two transistors having the gate electrodes in common can restrain the dispersion of the characteristics thereof, they are positioned adjacently.

5 Here, in a transistor operated as a simple switch, any polarity (conductivity type) will do.

Further, in the signal line driving circuit of the invention, the layout view about the current source circuit disposed in the first latch is shown in Fig. 45 and the corresponding circuit view is shown in Fig. 46.

10 This embodiment form can be freely combined with any of the embodiment forms 1 and 2.

#### [Embodiment Form 4]

The detailed structure and its operation of the signal line driving circuit 403 as shown in Fig. 15A will be described in this embodiment form, and the signal line driving  
15 circuit 403 for use in the case of performing the digital gradation display of two bits will be described in this embodiment form.

Fig. 3B shows the schematic view of the signal line driving circuit 403 in the case of performing the digital gradation display of two bits. The signal line driving circuit 403 has the shift register 415, the first latch circuit 416, and the second latch circuit 417.

20 In brief description of the operation, the shift register 415 is formed by a plurality of lines of the flip-flop circuits (FF) and the like, where the clock signal (S-CLK), the start pulse (S-SP), and the clock inverse signal (S-CLKb) are entered. According to the timing of these signals, the sampling pulses are sequentially supplied therefrom.

The sampling pulses supplied from the shift register 415 are entered to the first  
25 latch circuit 416. In the first latch circuit 416, a video signal (Digital Data 1, Digital Data 2) is being entered and according to the timing of entering the sampling pulses, the video signal is kept in each line.



When the video signal has been kept in every line including the final line in the first latch circuit 416, the latch pulse is entered into the second latch circuit 417 in the horizontal retrace time, and the video signal held in the first latch circuit 416 is all transferred to the second latch circuit 417. Then, it is found that one line of the video  
5 signal kept in the second latch circuit 417 has been supplied at once to the pixel connected to the signal line.

While the video signal kept in the second latch circuit 417 is being supplied to the pixels, the sampling pulses are again supplied from the shift register 411. Thereafter, the operation will be repeated, thereby performing the processing of the video signal for one  
10 frame.

The digital video signal of one bit is entered from a current line connected to the constant current source 109 for video signal of one bit. The digital video signal of two bits is entered from a current line connected to the constant current source 109 for video signal of two bits. The signal currents (corresponding to the video signal) set by the  
15 constant current sources 109 for one-bit video signal and two-bit video signal are held in the current source circuits.

The structure of the first latch circuit 415 and the second latch circuit 416 will be described by using Figs. 5, 26 and 27.

At first, the structure of the first latch circuit 415 and the second latch circuit 416  
20 shown in Fig. 5 will be described. Fig. 5 shows the outline of the signal line driving circuit 403 in the vicinity of the three signal lines from the  $i$ -th line to the  $(i+2)$ -th line.

In the signal line driving circuit 403 shown in Fig. 5, the constant current source 109 for one-bit video signal and the constant current source 109 for two-bit video signal are connected to the current source circuit 431 belonging to the first latch circuit 416.

25 Accordingly, the current of the total sum of the current of the one-bit video signal and the current of the two-bit video signal flows in the current source circuit 431 belonging to the first latch circuit 416.

Next, the structure of the first latch circuit 416 and the second latch circuit 417 shown in Fig. 26 will be described. Fig. 26 shows the outline of the signal line driving circuit 403 in the vicinity of the three signal lines from the  $i$ -th line to the  $(i+2)$ -th line.

The signal line driving circuit 403 includes the current source circuit 431a and the switch 432a, the current source circuit 433a and the switch 434a, the current source circuit 431b and the switch 432b, and the current source circuit 433b and the switch 434b in each line. The switches 432a, 434a, 432b, and 434b are controlled according to the latch pulse.

Mutually inverted signals are respectively entered to the switches 432a and 432b and the switches 434a and 434b. Therefore, one of the setting operation and the input operation is performed on the current source circuit 433.

When the current source circuit 433 is the current mirror circuit as shown in Fig. 6C and the setting operation and the input operation can be performed at once, and when a switch is arranged in the current source circuit 433, the switch 434 provided between the current source circuit 433 and the pixel connected to the signal line can be omitted. Or, the switch 434 provided between the current source circuit 433 and the pixel connected to the signal line is not necessary. Similarly to the switch 434 provided between the current source circuit 433 and the pixel connected to the signal line, the switch 432 provided between the current source circuit 431 and the current source circuit 433 also can be omitted.

Each of the current source circuits 431a, 433a, 431b, and 433b has the terminal a, the terminal b, and the terminal c. Each of the current source circuits 431a, 433a, 431b, and 433b are controlled by a signal supplied through the terminal a. The current (signal current  $I_{data}$ ) set by using the constant current source 109 for video signal connected to the video line (current line) through the terminal b is held in the current source circuit 431a and the current source circuit 431b. The current (signal current  $I_{data}$ ) supplied from the current source circuit 431a and the current source circuit 431b belonging to the first latch

circuit 416 through the terminal b is held in the current source circuit 433a and the current source circuit 433b. The current set in the constant current source 109 for one bit is held in the current source circuit 431a and the current source circuit 433a. The current set in the current generator 109 for two bits is held in the current source circuit 431b or the  
5 current source circuit 433b. The respective switches 434a and 434b are provided between the pixels and the respective current source circuits 433a and 433b, and the on/off operation of the switches 434a and 434b is controlled by the latch pulse.

Accordingly, the total sum of the current of the one-bit video signal flowing from the current source circuit 433a and the current of the two-bit video signal flowing from the  
10 current source circuit 433b, flows into the pixel. In other words, the currents of the respective-bit video signals are added in a portion where the current flows from the current source circuit 433a and the current source circuit 433b toward the pixel, and the D/A conversion is performed. Accordingly, when the current is supplied from the current source circuit to the pixel, the current amount has to be the current value corresponding to  
15 the respective bits.

Next, the structure of the first latch circuit 416 and the second latch circuit 417 shown in Fig. 27 will be described. Fig. 27 shows the outline of the signal line driving circuit 403 in the vicinity of the three signal lines from the  $i$ -th line to the  $(i+2)$ -th line.

The signal line driving circuit 403 shown in Fig. 27 is the same as the signal line  
20 driving circuit 403 shown in Fig. 26, except that the current source circuit 433b and the switch 434b are removed and that the current held in the current source circuit 431b is supplied not to the current source circuit 433b but to the current source circuit 433a, and the description thereof is omitted. Since the signal line driving circuit 403 shown in Fig. 27 can lessen the number of the circuit elements compared with the signal line driving  
25 circuit 403 shown in Fig. 26, the occupied area of the signal line driving circuit 403 can be reduced.

In Fig. 27, the total sum of the current of the one-bit video signal flowing from

the current source circuit 431a and the current of the two-bit video signal flowing from the current source circuit 431b, comes to flow in the current source circuit 433a. In other words, the currents of the respective-bit video signals are added in a portion where the current flows from the current source circuit 431a and the current source circuit 431b toward the current source circuit 433a, and the D/A conversion is performed. Accordingly, when the current is supplied from the pixel to the current source circuit, the current amount has to be the current value corresponding to the respective bits.

In the signal line driving circuit 403 shown in Figs. 5, 26, and 27, when the digital video signal is a bright signal, the signal current is supplied from the respective current source circuits to the pixel. On the contrary, when the video signal is a dark signal, the latch pulse between the respective current source circuits and the pixel is controlled, so as not to supply the current to the pixel. Namely, in the respective current source circuits 433a and 433b, the ability of running a constant current ( $V_{GS}$ ) is controlled by the video signal and brightness is controlled by using the amount of the current to be supplied to the pixel.

Further, the sampling pulse supplied from the shift register 415 is entered into the terminal a of the current source circuit belonging to the first latch circuit 416. Then, the latch pulse is entered into the terminal a of the current source circuit belonging to the second latch circuit 417.

In the embodiment form, since the two-bit digital gradation display is performed, four current source circuits 431a, 433a, 431b, and 433b are provided in every one signal line (the current source circuit 433b is not provided in the structure of Fig. 27). Assuming that the respective signal currents  $I_{data}$  flowing respectively between the current source circuit 431a and the current source circuit 433a and between the current source circuit 431b and the current source circuit 433b are set at 1:2, the current amount can be controlled in  $2^2=4$  steps.

The respective current source circuits 431a, 433a, 431b, and 433b can be formed

freely by using the circuit structures of the current source circuits shown in Fig. 6, Fig. 7, Fig. 29, Fig. 30, Fig. 32, and the like. All the current source circuits 420 can adopt not only one method but also they may adopt a plurality of methods.

Hereafter, an example of the combination of the methods used in the current source circuits (the current source circuits 431a, 431b, 433a, and 433b) in Fig. 26 and its merit will be described. Then, an example of the combination of the methods used in the current source circuits (the current source circuits 431a, 431b, and 433a) in Fig. 27 and its merit will be described.

In Fig. 26, as the example of the combination of the methods used in the current source circuits (the current source circuits 431a, 431b, 433a, and 433b), in the current source circuit (the current source circuits 431a and 431b) belonging to the first latch circuit 416 and the current source circuits (the current source circuits 433a and 433b) belonging to the second latch circuit 417, the case where one is the circuit as shown in Fig. 6A and the other is the current mirror circuit shown in Fig. 6C will be described.

The current source circuit of the current mirror circuit as shown in Fig. 6C has at least two transistors and the gate electrodes of the two transistors are common or electrically connected as mentioned above. Of the two transistors, one of the source region and the drain region of one transistor and one of the source region and the drain region of the other transistor are respectively connected to different circuit elements. For example, in the current source circuit shown in Fig. 20, of the two transistors, one transistor (one of the source region and the drain region of it) is connected to the constant current source and the other transistor (one of the source region and the drain region of it) is connected to the pixel.

At first, a description will be made in the case where in Fig. 26, the current source circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416 are the circuits as shown in Fig. 6A and the current source circuits (the current source circuits 433a and 433b) belonging to the second latch circuit 417 are the current mirror

circuits as shown in Fig. 6C. In this case, of the two transistors belonging to the respective current source circuits (the current source circuits 433a and 433b) that are the current mirror circuits as shown Fig. 6C, one is respectively connected to the current source circuits 431a and 431b belonging to the first latch circuit 416 and the other is  
5 respectively connected to the pixel through the switches 434a and 434b.

In the two transistors of the current mirror circuit as shown in Fig. 6C, when the  $W(\text{gate width})/L(\text{gate length})$  ratio of the transistor connected to the pixel is set smaller than that of the transistor connected to each current source circuit (the current source circuits 431a and 431b) belonging to the first latch circuit 416, the current amount  
10 supplied from the constant current source 109 for video signal can be made greater.

For example, assume that the amount of the current given to the pixel is  $P$ . Then, assuming that the  $W/L$  ratio of the transistor connected to the pixel is  $W_a$  and that the  $W/L$  ratio of the transistor connected to each current source circuit (the current source circuits 431a and 431b) is  $(2 \times W_a)$ , the current of  $(2 \times P)$  will be supplied from the constant current  
15 source 109 for video signal. Thus, the current supplied from the constant current source 109 for video signal can be increased, thereby performing the setting operation of each current source circuit (the current source circuits 431a and 431b) quickly and accurately.

When the current source circuits (the current source circuits 433a and 433b) belonging to the second latch circuit 417 are the current mirror circuits as shown in Fig.  
20 6C, the  $W(\text{gate width})/L(\text{gate length})$  ratio of each transistor may be changed depending on each bit. As a result, the current flowing from the constant current source 109 for video signal of the lower bit and the current flowing from the first latch circuit to the second latch circuit can be increased. Namely, the current flowing at the setting operation time can be increased. When the current source circuits (the current source  
25 circuits 433a and 433b) belonging to the second latch circuit 417 are the current mirror circuits as shown in Fig. 6C, the magnification of a current varies in the above current mirror currents. More specifically, at a time of supplying the current from the second

latch circuit, the current amount becomes smaller. Namely, the current is decreased at an input operation time and the current flowing to the pixel becomes smaller. Therefore, in the case of supplying the current from the first latch circuit to the second latch circuit and performing the setting operation on the current source circuits of the second latch circuit, the current flowing to the current source circuits of the second latch circuit does not become smaller but it is large, and therefore, the setting operation can be performed quickly.

Next, a description will be made in the case where the current source circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416 are the current mirror circuit as shown in Fig. 6C and the current source circuits (the current source circuits 433a and 433b) belonging to the second latch circuit 417 are the circuits as shown in Fig. 6A. In this case, of the two transistors of each current source circuit (the current source circuits 433a and 433b) that is the current mirror circuit as shown in Fig. 6C, one is connected to the constant current source 109 for video signal (for one bit and two bits) and the other is connected to each current source circuit (the current source circuits 433a and 433b) belonging to the second latch circuit 417.

In the two transistors of the current mirror circuit as shown in Fig. 6C, when the  $W(\text{gate width})/L(\text{gate length})$  ratio of the transistor connected to each current source circuit (the current source circuits 433a and 433b) belonging to the second latch circuit 417 is set smaller than that of the transistor connected to the constant current source 109 for video signal, the current amount supplied from the constant current source 109 for video signal can be increased.

For example, assume that the amount of the current given to the pixel is  $P$ . Then, assuming that the  $W/L$  ratio of the transistor connected to each current source circuit (the current source circuits 433a and 433b) belonging to the second latch circuit 417 is  $W_a$  and that the  $W/L$  ratio of the transistor connected to the constant current source 109 for video signal is  $(2 \times W_a)$ , the current of  $(2 \times P)$  will be supplied from the constant current source

109 for video signal. Thus, the current supplied from the constant current source 109 for video signal can be increased, thereby performing the setting operation of the current source circuits (the current source circuits 431a and 431b) quickly and accurately.

When the current source circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416 are the current mirror circuits as shown in Fig. 6C, the  $W(\text{gate width})/L(\text{gate length})$  ratio of each transistor may be changed depending on each bit. As a result, the current flowing from the constant current source 109 for video signal of the lower bit can be much more increased.

Namely, the  $W/L$  ratio of the transistor connected to the constant current source 109 for video signal is set larger than the  $W/L$  ratio of the transistor connected to the second latch circuit. In a short, the  $W/L$  ratio of the transistor of performing the setting operation is set larger than the  $W/L$  ratio of the transistor of performing the input operation. Then, the current for performing the setting operation, in other words, the current flowing from the constant current source 109 for video signal can be much more increased.

Then, a description will be made in the case where the both of the current source circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416 and the current source circuits (the current source circuits 433a and 433b) belonging to the second latch circuit 417 are the current mirror circuits as shown in Fig. 6C.

For example, assume that the current amount given to the pixel is  $P$ . Assuming that, in each current source circuit (the current source circuits 433a and 433b) belonging to the second latch circuit 417, of the two transistors of each current mirror circuit as shown in Fig. 6C, the  $W/L$  ratio of the transistor connected to the pixel is  $W_a$  and the  $W/L$  ratio of the transistor connected to each current source circuit belonging to the first latch circuit 416 is  $(2 \times W_a)$ . Then, the current amount becomes twice in the second latch circuit 417.

Similarly, assuming that the  $W/L$  ratio of the transistor connected to the constant current source 109 for video signal is  $(2 \times W_b)$ , the  $W/L$  ratio of the transistor connected to the second latch circuit 417 becomes  $W_b$ . Then, the current amount becomes twice in



the first latch circuit 416. Then, the current of ( $4 \times P$ ) will be supplied from the constant current source 109 for video signal (for one bit and two bits). Thus, the current supplied from the constant current source 109 for video signal can be increased, thereby performing the setting operation of the current source circuit quickly and accurately.

5           When the current source circuit is the current mirror circuit as shown in Fig. 6C, the  $W(\text{gate width})/L(\text{gate length})$  ratio of each transistor may be changed depending on each bit. As a result, the current flowing from the constant current source 109 for video signal of the lower bit can be much more increased.

Namely, the  $W/L$  ratio of the transistor of performing the setting operation is  
10       made larger than the  $W/L$  ratio of the transistor of performing the input operation. Then, the current for performing the setting operation, in other words, the current flowing from the constant current source 109 for video signal can be much more increased.

When the current source circuit of the first latch circuit is the current mirror circuit as shown in Fig. 6C, the  $W/L$  ratio of the transistor connected to the constant  
15       current source 109 for video signal is set larger than the  $W/L$  ratio of the transistor connected to the second latch circuit. When the current source circuit of the second latch circuit is the current mirror circuit as shown in Fig. 6C, the  $W/L$  ratio of the transistor connected to the first latch circuit is set larger than the  $W/L$  ratio of the transistor connected to the pixel or the signal line.

20           At last, a description will be made in the case where the both of the current source circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416 and the current source circuits (the current source circuits 433a and 433b) belonging to the second latch circuit 417 are the circuits as shown in Fig. 6A. In the case of using the circuit as shown in Fig. 6A for the both, since the number of the transistors arranged in the  
25       current source circuit can be decreased, ill effect caused by the characteristic dispersion in the transistors can be restrained. Namely, since the transistor for performing the setting operation and the transistor for performing the input operation are the same, there is no ill

effect caused by the dispersion between the transistors.

In the current source circuits belonging to the first latch circuit 416, the type of the circuit as shown in Fig. 6A may be used or the type of the current mirror circuit as shown in Fig. 6C may be used, in a mixed way. Similarly, also in the current source  
5 circuits belonging to the second latch circuit 417, the above types may be used in a mixed way.

Especially, in the current source circuit for lower bit where the current flowing from the constant current source 109 for video signal becomes smaller, it is effective to increase the current value by using the current mirror circuit as shown in Fig. 6C.

10 Namely, since in the current source circuit for lower bit, the current value flowing from the same current source circuit is small, the setting operation takes a long time. Then, if the current value is increased by using the current mirror circuit as shown in Fig. 6C, the time taken for the setting operation can be shortened.

In the current mirror circuit as shown in Fig. 6C, there are at least two transistors  
15 having the gate electrodes in common or electrically connected, and if the characteristics of the two transistors are dispersed, the currents supplied therefrom are dispersed. In the case of the current source circuit for lower bit, however, the current value supplied to the pixel or the signal line is small. Therefore, even if the characteristics of the two transistors are dispersed, its influence is a little. Owing to this, in the current source  
20 circuit for lower bit, it is effective to use the current mirror circuit as shown in Fig. 6C.

In summary, by adopting the current mirror circuit as shown in Fig. 6C and further setting the W/L ratio at a proper value, the current supplied from the constant current source 109 for video signal can be increased. As a result, the setting operation of the current source circuit can be performed accurately.

25 In the current mirror circuit as shown in Fig. 6C, there are at least two transistors having the gate electrodes in common, and if the characteristics of the two transistors are dispersed, the currents supplied therefrom are dispersed. By setting each W/L ratio of the

channel width  $W$  and the channel length  $L$  of the two transistors at each different value, the current amount can be changed. Generally, the current at the setting operation time is made larger. As a result, the setting operation can be performed quickly.

The current at the setting operation time corresponds to the current supplied from  
5 the constant current source 109 for video signal in the case of the current source circuit of the first latch circuit, and it corresponds to the current supplied from the current source of the first latch circuit in the case of the current source circuit of the second latch circuit.

On the other hand, in the case of using the circuit as shown in Fig. 6A, the current  
10 flowing at the setting operation time is substantially equal to the current flowing at the input operation time. Therefore, the current for performing the setting operation cannot be increased. However, the transistor for supplying the current at the setting operation time is the same as the transistor for supplying the current at the input operation time. Accordingly, there is no influence of dispersion among the transistors. Therefore, it is preferable to use the circuits in a proper combination, in the respective latch circuits, or in  
15 the respective bit-circuits, such as to use the current mirror circuit as shown in Fig. 6C in the portion where a larger current at the setting operation time is desired, and use the circuit as shown in Fig. 6A in the portion where the more accurate current is desired.

An example of the combination of the methods for use in the current source  
circuits (current source circuits 431a, 431b, and 433a) in Fig. 27 and its merit will be  
20 described.

In Fig. 27, a description will be made in the case where the current source circuits  
(the current source circuits 431a and 431b) belonging to the first latch circuit 416 are the  
current mirror circuits as shown in Fig. 6C and the current source circuit (the current  
source circuit 433a) belonging to the second latch circuit 417 is the circuit as shown in Fig.  
25 6A. In this case, in the two transistors of each current source circuit (the current source  
circuits 433a and 433b) that is the current mirror circuit as shown in Fig. 6C, one is  
connected to the constant current source 109 for video signal (for one bit and two bits) and

the other is connected to the current source circuit (the current source circuit 433a) belonging to the second latch circuit 417.

When the  $W(\text{gate width})/L(\text{gate length})$  ratio of the transistor connected to the current source circuit (the current source circuit 433a) belonging to the second latch circuit 417 is set smaller than that of the transistor connected to the constant current source 109 for video signal, the current amount supplied from the constant current source 109 for video signal can be increased.

For example, assume that the current amount given to the pixel is  $P$ . Assuming that the  $W/L$  ratio of the transistor connected to the current source circuit (the current source circuit 433a) belonging to the second latch circuit 417 is  $W_a$  and that the  $W/L$  ratio of the transistor connected to the constant current source 109 for video signal is  $(2 \times W_a)$ , the current of  $(2 \times P)$  will be supplied from the constant current source 109 for video signal. Thus, the current amount supplied from the constant current source 109 for video signal can be increased, thereby performing the setting operation of the current source circuits (the current source circuits 431a and 431b) accurately.

When the current source circuits (the current source circuit 431a and 431b) belonging to the first latch circuit 416 are the current mirror circuits as shown in Fig. 6C, the  $W(\text{gate width})/L(\text{gate length})$  ratio of each transistor may be changed depending on each bit. As a result, the current flowing from the constant current source 109 for video signal of the lower bit can be much more increased.

Namely, the  $W/L$  of the transistor connected to the constant current source 109 for video signal is made larger than the  $W/L$  of the transistor connected to the second latch circuit. In a short, the  $W/L$  of the transistor of performing the setting operation is set larger than the  $W/L$  ratio of the transistor of performing the input operation. Then, the current for performing the setting operation, in other words, the current flowing from the constant current source 109 for video signal can be much more increased.

Next, a description will be made in the case where the current source circuits (the

current source circuits 431a and 431b) belonging to the first latch circuit 416 are the circuits as shown in Fig. 6A and the current source circuit (the current source circuit 433a) belonging to the second latch circuit 417 is the current mirror circuit as shown in Fig. 6C. In this case, of the two transistors of each current source circuit (the current source circuits 5 433a and 433b) that is the current mirror circuit as shown Fig. 6C, one is connected to the current source circuit (the current source circuit 433a) belonging to the first latch circuit 416 and the other is connected to the pixel.

When the  $W(\text{gate width})/L(\text{gate length})$  ratio of the transistor connected to the pixel is set smaller than that of the transistor connected to the current source circuit 10 belonging to the first latch circuit 416, the current amount supplied from the constant current source 109 for video signal or the first latch circuit can be made larger.

For example, assume that the amount of the current given to the pixel is  $P$ . Then, assuming that the  $W/L$  ratio of the transistor connected to the pixel is  $W_a$  and that the  $W/L$  ratio of the transistor connected to the current source circuit belonging to the first latch 15 circuit 417 is  $(2 \times W_a)$ , the current of  $(2 \times P)$  will be supplied from the first latch circuit. Thus, the current supplied from the first latch circuit can be increased, thereby performing the setting operation of each current source circuit (the current source circuits 431a and 431b) accurately.

Next, a description will be made in the case where the both of the current source 20 circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416 and the current source circuit (the current source circuit 433a) belonging to the second latch circuit 417 are the current mirror circuits as shown in Fig. 6C.

For example, assume that the current amount given to the pixel is  $P$ . Assuming that, in each current source circuit (the current source circuit 433a) belonging to the 25 second latch circuit 417, in each of the two transistors of the current mirror circuit as shown in Fig. 6C, the  $W/L$  ratio of the transistor connected to the pixel is  $W_a$ , and the  $W/L$  ratio of the transistor connected to each current source circuit belonging to the first latch

circuit 416 is  $(2 \times W_a)$ . Then, the current amount becomes twice in the second latch circuit 417.

Similarly, assuming that the W/L ratio of the transistor connected to the constant current source 109 for video signal is  $(2 \times W_b)$ , the W/L ratio of the transistor connected to the second latch circuit 417 becomes  $W_b$ . Then, the current amount becomes twice in the first latch circuit 416. Then, the current of  $(4 \times P)$  will be supplied from the constant current source 109 for video signal (for one bit and two bits). Thus, the current supplied from the constant current source 109 for video signal can be increased, thereby performing the setting operation of the current source circuit quickly and accurately.

When the current source circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416 are the current mirror circuits as shown in Fig. 6C, the W(gate width)/L(gate length) ratio of each transistor may be changed depending on each bit. As a result, the current flowing from the constant current source 109 for video signal of the lower bit can be much more increased.

Namely, the W/L ratio of the transistor connected to the constant current source 109 for video signal is made larger than the W/L ratio of the transistor connected to the second latch circuit. In a short, the W/L ratio of performing the setting operation is made larger than the W/L ratio of the transistor of performing the input operation. Then, the current for performing the setting operation, in other words, the current flowing from the constant current source 109 for video signal can be much more increased.

At last, a description will be made in the case where the both of the current source circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416 and the current source circuit (the current source circuit 433a) belonging to the second latch circuit 417 are the circuits as shown in Fig. 6A. In the case of both using the circuit as shown in Fig. 6A, since the number of the transistors arranged in the current source circuit can be lessened, ill effect caused by the characteristic dispersion can be restrained. Namely, since the transistor for performing the setting operation and the transistor for

performing the input operation are the same, there is no ill effect caused by the dispersion between the transistors.

In Fig. 26 and Fig. 27, the constant current source 109 for one-bit video signal is connected to a video line (Video data line) and the constant current source 109 for two-bit video signal is connected to a video line (Video data line) for two bits. Assuming that the current supplied from the constant current source 109 for one-bit video signal is  $I$ , the current supplied from the constant current source 109 for two-bit video signal is  $2I$ . The invention, however, is not restricted to this, but the current amounts respectively supplied from the constant current source 109 for one-bit video signal and the constant current source 109 for two-bit video signal can be the same. When the current amounts respectively supplied from the constant current source 109 for one-bit video signal and the constant current source 109 for two-bit video signal are the same, the operation condition and the load can be the same and further the time of writing signals into the respective current source circuits can be the same.

At that time, the current mirror circuit as shown in Fig. 6C is adopted to the current source circuits (the current source circuits 431a and 431b) belonging to the first latch circuit 416. Further, it is necessary to set the  $W/L$  ratio of the transistor belonging to the current source circuit 431a and the transistor belonging to the current source circuit 431b at 2:1. Then, the ratio of the current amount supplied from the current source circuit 431a and the current amount supplied from the current source circuit 431b can be set at 2:1.

The current mirror circuit as shown in Fig. 6C is adopted to not only the current source circuits for all bits but also the current source circuits for some bit. It is preferable that the current mirror circuit as shown in Fig. 6C is used for the current source circuit for lower bit and the circuit as shown in Fig. 6A is used for the current source circuit for upper bit.

Because the current source circuit for upper bit has a great effect on the current

value even if the characteristics of the transistors of the current source circuit are a little dispersed. This is why the absolute value of a difference of the currents caused by dispersion is also great, as for the current supplied from the current source circuit for upper bit, since the current value itself is great, even if the characteristics of the transistors are  
5 dispersed to the same degree. For example, assume that the characteristics of the transistors are dispersed by 10%. Assuming that the current amount for one bit is  $I$ , the dispersion amount is  $0.1I$ . Since the current amount for three bits becomes  $8I$ , the dispersion amount becomes  $0.8I$ . Thus, the current source circuit for upper bit is much influenced even by a little dispersion of the characteristic of the transistor.

10 Therefore, a method of having the least effect from the dispersion is preferable. Further, since the current value in the current for upper bit is great, it is easy to do the setting operation. While, since the current value itself is small in the current for lower bit even if some dispersion, its influence is small. Since the current value is small in the current for lower bit, it is not easy to do the setting operation.

15 In order to solve the situation, it is preferable that the current mirror circuit as shown in Fig. 6C is used for the current source circuit for lower bit and the circuit as shown in Fig. 6A is used for the current source circuit for upper bit.

In the case of Fig. 26, it is not the first latch circuit 416 but the second latch circuit 417 that may adopt the current mirror circuit as shown in Fig. 6C. Alternatively,  
20 both of the first latch circuit 416 and the second latch circuit 417 may adopt the current mirror circuit as shown in Fig. 6C.

In this embodiment form, the structure of the signal line driving circuit and its operation in the case of performing the digital gradation display of two bits have been described. The invention, however, is not restricted to the above two bits, but the signal  
25 line driving circuit corresponding to any number of bits can be designed by reference to this embodiment form, so to do the display of any number of bits. This embodiment form can be freely combined with the embodiment form 1, 2, or 3.



[Embodiment Form 5]

As mentioned above, it is preferable that, in the circuit as shown in Fig. 6A, two current source circuits are provided in every one signal line (each line); one current source circuit performs the operation for setting a signal (setting operation) and use of the other current source circuit performs the operation for entering the  $I_{data}$  to the pixel (input operation). This is why the setting operation and the input operation can be performed at the same time. Then, in this embodiment form, an example of the circuit structure of the current source circuit 420 shown in Fig. 2 provided in the signal line driving circuit of the invention will be described by using Fig. 8.

The outline of the signal line driving circuit of the invention will be described by using Fig. 2. Fig. 2 shows the signal line driving circuit in the vicinity of the three signal lines from the  $i$ -th line to the  $(i+2)$ -th line.

In Fig. 2, the signal line driving circuit 403 is provided with the current source circuits 420 for every signal line. The current source circuit 420 includes a plurality of current source circuits. Assuming that it includes two current source circuits here, the current source circuit 420 is defined as that one including a first current source circuit 421 and a second current source circuit 422. The first current source circuit 421 and the second current source circuit 422 each have the terminal a, the terminal b, the terminal c, and the terminal d. A setting signal is entered from the terminal a. The current from the constant current source 109 for video signal connected to a current line is supplied from the terminal b. A signal held in each of the first current source circuit 421 and the second current source circuit 422 is supplied from the terminal c. Namely, the current source circuit 420 is controlled according to the setting signal entered from the terminal a and the control signal entered from the terminal d, the supplied signal current is entered from the terminal b, and the current in proportion to the signal current is supplied from the terminal c. A switch 101 is provided between the current source circuit 420 and the pixel connected to the signal line or between the current source circuit 420 and the current

source circuit 420, and the on/off operation of the switch is controlled by a latch pulse. From the terminal d, the control signal is entered.

In the specification, the operation for finishing the writing of the signal current  $I_{data}$  in the current source circuit 420 (operation for setting the signal) is referred to as the setting operation and the operation for entering the signal current  $I_{data}$  into the pixel is referred to as the input operation. Since the control signals to be entered to the first current source circuit 421 and the second current source circuit 422 are mutually different, of the first current source circuit 421 and the second current source circuit 422, one performs the setting operation and the other performs the input operation.

In the invention, the setting signal to be entered from the terminal a indicates the sampling pulse or the latch pulse supplied from the shift register. The setting signal in Fig. 1 corresponds to the sampling pulse or the latch pulse supplied from the shift register. In the invention, the setting of the current source circuit 420 is performed in accordance with the sampling pulse or the latch pulse supplied from the shift register.

The signal line driving circuit of the invention includes the shift register, the first latch circuit, and the second latch circuit. The first latch circuit and the second latch circuit respectively have the current source circuits. Namely, the sampling pulse supplied from the shift register is entered into the terminal a of the current source circuit belonging to the first latch circuit. The latch pulse is entered into the terminal a of the current source circuit belonging to the second latch circuit.

The current source circuit 420 is controlled according to the setting signal entered from the terminal a, the supplied signal current is entered from the terminal b, and the current in proportion to the signal current is supplied from the terminal c.

In Fig. 8A, the circuit including the switch 134 to the switch 139, the transistor 132 (n channel), and the capacitive element 133 for holding the voltage  $V_{GS}$  between the gate/source of the above transistor 132 corresponds to the first current source circuit 421 or the second current source circuit 422.

The switch 134 and the switch 136 are turned on according to the signal entered through the terminal a, in the first current source circuit 421 or the second current source circuit 422. Further, the switch 135 and the switch 137 are turned on according to the signal entered from the control line through the terminal d. Then, the current is supplied  
5 from the constant current source 109 for video signal connected to the current line through the terminal b, and the electric charges are held in the capacitive element 133. The electric charges are held into the capacitive element 133 until the signal current  $I_{data}$  flowing from the constant current source 109 becomes equal to the drain current of the transistor 132.

10 Next, the switches 134 to 137 are turned off. Then, since a predetermined amount of electric charges are held in the capacitive element 133, the transistor 132 has the ability of running the current for the size of the signal current  $I_{data}$ . If the switch 101, the switch 138, and the switch 139 are in a conductive state, the current flows into the pixel connected to the signal line through the terminal c. At this time, since the gate  
15 voltage of the transistor 132 is kept at a predetermined gate voltage by the capacitive element 133, the drain current flows in the drain region of the transistor 132 depending on the signal current  $I_{data}$ . Therefore, it is possible to control the influence of the characteristic dispersion among the transistors forming the signal line driving circuit and control the current amount flowing in the pixel.

20 In Fig. 8B, the circuit including the switch 144 to switch 147, the transistor 142 (n channel), the capacitive element 143 for holding the voltage  $V_{GS}$  between the gate/source of the above transistor 142, and the transistor 148 (n channel) corresponds to the first current source circuit 421 or the second current source circuit 422.

The switch 144 and the switch 146 are turned on according to the signal entered  
25 through the terminal a, in the first current source circuit 421 or the second current source circuit 422. Further, the switch 145 and the switch 147 are turned on according to the signal entered from the control line through the terminal d. Then, the current is supplied

from the constant current source 109 connected to the current line, through the terminal b, and the electric charges are held in the capacitive element 143. The electric charges are held into the capacitive element 143 until the signal current  $I_{data}$  flowing from the constant current source 109 becomes equal to the drain current of the transistor 142. When the  
5 switch 144 and the switch 145 are turned on, since the voltage  $V_{GS}$  between the gate/source of the transistor 148 becomes 0V, the transistor 148 turns off.

Next, the switches 144 to 147 are turned off. Then, since the signal current  $I_{data}$  is held in the capacitive element 143, the transistor 142 has the ability of running the current for the size of the signal current  $I_{data}$ . If the switch 101 is in a conductive state,  
10 the current flows into the pixel connected to the signal line through the terminal c. At this time, since the gate voltage of the transistor 142 is kept at a predetermined gate voltage by the capacitive element 143, the drain current flows in the drain region of the transistor 142 depending on the signal current  $I_{data}$ . Therefore, it is possible to control the current amount flowing in the pixel, independent of the characteristic dispersion among  
15 the transistor forming the signal line driving circuit.

When the switch 144 and the switch 145 are turned off, the potential becomes different between the gate and the source of the transistor 148. As a result, the electric charges held in the capacitive element 143 are distributed to the transistor 148, and the transistor 148 is automatically turned on. Here, the transistors 142 and 148 are connected  
20 in series and the mutual gates are connected with each other. Accordingly, the transistors 142 and 148 work as the transistor of multi-gate. Namely, in the setting operation time and the input operation time, the gate length  $L$  of each transistor is different. Accordingly, the current value supplied from the terminal b at the setting operation time can be larger than the current value supplied from the terminal c at the input operation  
25 time. Therefore, various loads (wiring resistance, crossing capacity and the like) disposed between the terminal b and the current generator for video can be filled sooner. Therefore, the setting operation can be finished quickly.

Here, Fig. 8A corresponds to the structure of adding the terminal d to Fig. 6A. Fig. 8B corresponds to the structure of adding the terminal d to Fig. 6B. Thus, the switch is added in series to change the structure, which results in the structure with the terminal d added. Thus, by arranging the two switches in series in the first current source circuit 5 421 or the second current source circuit 422 in Fig. 2, it is possible to optionally use the current source circuits of any structure as shown in Fig. 6, Fig. 7, Fig. 29, Fig. 30, Fig. 32, and the like.

In Fig. 2, although the structure having the current source circuit 420 including the two current source circuits of the first current source circuit 421 and the second current source circuit 422 for every one signal line has been described, the invention is not 10 restricted to this. For example, three current source circuits 420 may be provided in every one signal line. The signal currents in the respective current source circuits 420 may be set according to the different constant current sources 109 for video signal. For example, the signal current may be set by using the constant current source for one-bit 15 video signal in one current source circuit 420, the signal current may be set by using the constant current source for two-bit video signal in another current source circuit 420, and the signal current may be set by using the constant current source for three-bit video signal in the other current source circuit 420.

This embodiment form may be freely combined with any of the embodiments 1 to 20 4. Namely, instead of each one current source circuit arranged in each line, as illustrated in Fig. 4, Fig. 5, Fig. 26, and Fig. 27, two current source circuits of Fig. 6A may be arranged in each line, as illustrated in Fig. 2. Thus, assuming that the current supplied from the current source circuit 421 in Fig. 2 is, for example, 4.9A and that the current supplied from the current source circuit 422 is 5.1A, the dispersion of the current source 25 circuits can be evened by arranging in that the current is supplied from one of the current source circuit 421 and the current source circuit 422 in every frame.

[Embodiment Form 6]

The constant current source 109 for video signal each shown in Fig. 2 to Fig. 5 may be integrated with the signal line driving circuit on the substrate, or a constant current may be entered from the outside of the substrate by using IC and the like, as the current 109 for video signal. When forming it integrally on the substrate, any of the current  
5 source circuits shown in Figs. 6 to 8, Fig. 29, Fig. 30, Fig. 32, and the like may be used. In the embodiment form, a description will be made in the case of forming the current generator 109 for three-bit video signal with the current source circuit of the current mirror circuit as shown in Fig. 6C, by using Fig. 23 to Fig. 25.

The direction of the current flow varies depending on the structure of the pixel  
10 and the like. In this case, it is possible to cope with the above situation easily, by changing the polarity of the transistor and the like.

In Fig. 23, in the constant current source 109 for video signal, whether or not the predetermined signal current  $I_{data}$  is supplied to the video line (Video data line) (current line) is controlled according to the information of High or Low belonging to the digital  
15 video signal for three bits (Digital Data 1 to Digital Data 3).

The constant current source 109 for video signal has the switch 180 to the switch 182, the transistor 183 to the transistor 188, and the capacitive element 189. In this embodiment form, assume that the transistors 180 to 188 are all of the n-channel type.

The switch 180 is controlled by the digital video signal of one bit. The switch  
20 181 is controlled by the digital video signal of two bits. The switch 183 is controlled by the digital video signal of three bits.

Of the source region and the drain region of each transistor 183 to 185, one is connected to  $V_{SS}$  and the other is connected to one terminal of each switch 180 to 182. Of the source region and the drain region of the transistor 186, one is connected to  $V_{SS}$  and  
25 the other is connected to one of the source region and the drain region of the transistor 188.

A signal is entered into the gate electrodes of the transistor 187 and the transistor

188 from the outside through the terminal e. The current is supplied into the current line 190 from the outside through the terminal f.

In the source region and the drain region of the transistor 187, one is connected to one of the source region and the drain region and the other is connected to one electrode of the capacitive element 189. In the source region and the drain region of the transistor 188, one is connected to the current line 190 and the other is connected to one of the source region and the drain region of the transistor 186.

One electrode of the capacitive element 189 is connected to the gate electrodes of the transistor 183 to the transistor 186, and the other electrode thereof is connected to  $V_{SS}$ . The capacitive element 189 serves to hold the voltage between each gate/source of the transistor 183 to the transistor 186.

When the transistor 187 and the transistor 188 are turned on according to the signal entered from the terminal e, in the constant current source 109 for video signal, the current supplied through the terminal f flows into the capacitive element 189 through the current line 190.

The electric charges are gradually accumulated into the capacitive element 189, hence to produce a potential difference between the both electrodes. When the potential difference between the both electrodes becomes  $V_{th}$ , the transistors 183 to 186 are turned on.

In the capacitive element 189, the electric charges are continuously accumulated until the voltage between each gate/source of the transistor 183 to the transistor 186 comes to a predetermined voltage. In other words, accumulation of the electric charges is continued until the transistors 183 to 186 are in a position to flow the signal current.

When the accumulation of the electric charges is finished, the transistors 183 to 186 are completely turned on.

In the constant current source 109 for video signal, conductive or non-conductive state of each switch 180 to switch 182 is selected according to the digital video signal of

three bits. For example, when all the switches 180 to 182 are in the conductive state, the current supplied to the current line becomes the total sum of the drain current of the transistor 183, the drain current of the transistor 184, and the drain current of the transistor 185. When only the switch 180 is in the conductive state, only the drain current of the transistor 183 is supplied to the current line.

At this time, when the drain current of the transistor 183, the drain current of the transistor 184, and the drain current of the transistor 185 are set at 1:2:4, it is possible to control the current amount in  $2^3=8$  steps. Therefore, when the transistors 183 to 185 are designed in that each  $W(\text{channel width})/L(\text{channel length})$  ratio can be 1:2:4, each on current becomes 1:2:4.

In Fig. 23, the description has been made in the case of one current (video) line. However, depending on whether the structure of the signal line driving circuit for supplying the current is of the circuit as shown in Fig. 4 or the circuit as shown in Fig. 26 or Fig. 27, the number of the current lines (video lines) varies. Then, the case of including a plurality of the current lines (video lines) in the circuit of Fig. 23 is shown in Fig. 41.

The current generator 109 for video signal having the different structure from Fig. 23 is shown in Fig. 24. In Fig. 24, compared with the current generator 109 for video signal shown in Fig. 23, the operation is the same as the operation of the current generator 109 for video signal shown in Fig. 23, except that the transistors 187 and 188 are removed and that one terminal of the capacitive element 189 is connected to the current line 190, and therefore, its description is omitted in this embodiment form.

In the structure of Fig. 24, during continuing supplying the current to the video line (current line), it is necessary to continue receiving the signal (current) through the terminal f. If the input of the current flowing from the terminal f is stopped, the electric charges in the capacitive element 189 are discharged through the transistor 186. As a result, the potential of the gate electrode of the transistor 186 is decreased, the correct



current cannot be supplied from the transistors 183 to 185. While, in the case of the structure of Fig. 23, since predetermined electric charges are held in the capacitive element 189, it is not necessary to continue receiving the signal (current) through the terminal f, during the current supply to the video line (current line). Therefore, in the structure of  
5 Fig. 24, the capacitive element 189 may be omitted.

In Fig. 24, the case of one current (video) line has been described. However, depending on whether it is the circuit as shown in Fig. 4, or the circuit as shown in Fig. 26 or Fig. 27, the number of the current lines (video lines) varies. Then, a view in the case of including a plurality of current lines (video lines) in the circuit of Fig. 24 is shown in  
10 Fig. 42.

Continuously, the current generator 109 for video signal having the different structure from those of Fig. 23 and Fig. 24 is shown in Fig. 25. In Fig. 25, compared with the current generator 109 for video signal shown in Fig. 23, the operation is the same as the operation of the current generator 109 for video signal shown in Fig. 23, except that  
15 the transistors 186, 187, and 188 and the capacitive element 189 are removed and that a constant voltage is applied from the electrode to each gate electrode of the transistor 183 to the transistor 185 through the terminal f, and therefore its description is omitted in this embodiment form.

In the case of Fig. 25, a voltage (gate voltage) is applied to each gate electrode of  
20 the transistors 183 to 185 through the terminal f. However, even if the same voltage is applied to the transistors 183 to 185, if the characteristics of the transistors 183 to 185 are dispersed, the current values flowing between each source/drain of the transistors 183 to 185 are dispersed. Accordingly, the currents flowing into the video line (current line) are dispersed. Further, since the characteristics are varied also depending on the temperature,  
25 the current values will be varied.

On the other hand, in the case of Fig. 23 and Fig. 24, through the terminal f, not only the voltage but also the current can be applied. In the case of adding the current, if

the characteristics of the transistors 183 to 186 are uniform, the current values will never be dispersed. Even if the characteristics are varied depending on the temperature, since the characteristics of the transistors 183 to 186 are varied to the same degree, the current values will not be varied.

5           In the case of Fig. 25, though the voltage (gate voltage) is added to the transistors 183 to 185, through the terminal f, the voltage is not varied according to the video signal. In Fig. 25, the video signal controls whether or not the current flows to the current line, by controlling the switches 180 to 182. Then, as shown in Fig. 43, the voltage (gate voltage) may be added to each gate electrode of the transistors 183 to 185 and the voltage may be  
10       varied depending on the video signal. Thus, the amount of the current for video signal can be varied. Further, as shown in Fig. 44, the voltage (gate voltage) to be added to the gate electrode of the transistor 183 may be converted into analog voltage and the voltage may be varied according to the gradation, thereby varying the current.

Continuously, the current generator 109 for video signal having the different  
15       structure from those of Figs. 23, 24, and 25 is shown in Fig. 9. Although the current source circuit of Fig. 6C has been adopted in Fig. 23, the current source circuit of Fig. 6A is adopted in Fig. 9.

In the case of Fig. 23, if the characteristics of the transistors 183 to 186 are dispersed, the current values are dispersed. While, in Fig. 9, the setting operation is  
20       performed on the respective current sources. Accordingly, ill effect from the dispersion of the transistors can be lessened. In the case of Fig. 9, however, while the setting operation is performed, the input operation (operation for supplying the current to the current line) cannot be performed at the same time. Accordingly, the setting operation must be performed while the input operation is not performed. In order to make the  
25       setting operation possible during the performance of the input operation, a plurality of current source circuits may be arranged as shown in Fig. 10, and while one part of the current source circuits are performing the setting operation, the input operation may be

performed by the other part of the current source circuits.

This embodiment form can be freely combined with any of the embodiment forms 1 to 5.

[Embodiment Form 7]

5            This embodiment form of the invention will be described by using Fig. 11. In Fig. 11A, the signal line driving circuit is arranged in the upper portion above the pixel unit, the constant current circuit is arranged in the lower portion, the current source A is arranged in the signal line driving circuit, and the current source B is arranged in the constant current source. Assuming that the currents supplied respectively from the  
10           current sources A and B are fixed as  $I_A$  and  $I_B$  and the signal current supplied to the pixel is  $I_{data}$ ,  $I_A = I_B + I_{data}$  is satisfied. Then, when writing the signal current into the pixel, it is designed to supply the current from the both of the current sources A and B. At this time, when  $I_A$  and  $I_B$  are made larger, a speed of writing the signal current into the pixel can be increased.

15           At this time, the setting operation of the current source B is performed by using the current source A. The current obtained by subtracting the current of the current source B from the current of the current source A flows in the pixel. Accordingly, by performing the setting operation of the current source B by using the current source A, various ill effects such as noise and the like can be decreased.

20           In Fig. 11B, the constant current sources for video signal (hereinafter, represented as a constant current source) C and E are arranged above or below the pixel unit. The setting operation of each current source circuit arranged in the signal line driving circuit and the constant current circuit is performed by using the current generators C and E. The current source D corresponds to the current source for setting the current generators C  
25           and E, and the current for video signal is supplied from the outside.

In Fig. 11B, the constant current circuit arranged in the lower portion may be the signal line driving circuit. Thus, the signal line driving circuits can be arranged in the

both upper and lower portions. Then, the respective ones are served to control the respective upper half and the lower half portions of the screen (the whole pixel unit). In this way, the pixels for two lines can be controlled at once. Therefore, a long time can be taken for the setting operation (signal input operation) of the current source of the signal line driving circuit, the pixel, and the current source of the pixel. Therefore, they can be set more accurately.

This embodiment form can be freely combined with any of the embodiment forms 1 to 6.

#### 10                   <Embodiment 1>

In this embodiment, the time gradation method will be described in detail with reference to Fig. 14. In display devices such as liquid crystal display devices and light emitting devices, a frame frequency is about 60 (Hz). That is, as shown in Fig. 14A, screen rendering is performed about 60 times per second. This enables flickers (flickering of a screen) not to be recognized by the human eye. At this time, a period during which screen rendering is performed once is called one frame period.

As an example, in this embodiment, a description will be made of a time gradation method disclosed in the publication as Patent Document 1. In the time gradation method, one frame period is divided into a plurality of subframe periods. In many cases, the number of divisions is identical to the number of gradation bits. For the sake of a simple description, a case where the number of divisions is identical to the number of gradation bits. Specifically, since the 3-bit gradation is employed in this embodiment, an example is shown in which one frame period is divided into three subframe periods SF1 to SF3 (Fig. 14B).

Each of the subframe periods includes an address (writing) period  $T_a$  and a sustain (light emission) period ( $T_s$ ). The address period is a period during which a video signal is written to a pixel, and the length thereof is the same among respective

subframe periods. The sustain period is a period during which the light emitting element emits light in response to the video signal written in the address period  $T_a$ . At this time, the sustain periods SF1 to SF3 are set at a length ratio of  $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ . More specifically, the length ratio of  $n$  sustain periods is set to  $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ . Depending on whether a light emitting element performs emission in which one of the sustain periods, the length of the period during which each pixel emits light in one frame period is determined, and the gradation representation is thus performed.

Next, a specific operation of a pixel employing the time gradation method will be described. In this embodiment, a description thereof will be made referring to the pixel shown in Fig. 16B. A current input method is applied to the pixel shown in Fig. 16B.

First, the following operation is performed during the address period  $T_a$ . A first scanning line 602 and a second scanning line 603 are selected, and TFTs 606 and 607 are turned ON. A current flowing through a signal line 601 at this time is used as a signal current  $I_{data}$ . Then, when a predetermined charge has been accumulated in a capacitor element 610, selection of the first and second scanning lines 602 and 603 is terminated, and the TFTs 606 and 607 are turned OFF.

Subsequently, the following operation is performed in the sustain period  $T_s$ . A scanning line 604 is selected, and a TFT 609 is turned ON. Since the predetermined charge that has been written is stored in the capacitor element 610, the TFT 608 is already turned ON, and a current identical with the signal current  $I_{data}$  flows thereto from a current line 605. Thus, a light emitting element 611 emits light.

The operations described above are performed in each subframe period, thereby forming one frame period. According to this method, the number of divisions for subframe periods may be increased to increase the number of display gradations. The order of the subframe periods does not necessarily need to be the order from an upper bit to a lower bit as shown in Figs. 14B and 14C, and the subframe periods may be disposed

at random within one frame period. In addition, the order may be variable within each frame period.

Further, a subframe period SF2 of an m-th scanning line is shown in Fig. 14D. As shown in Fig. 14D, in the pixel, upon termination of an address period Ta2, a sustain  
5 period Ts2 is immediately started.

This embodiment may be arbitrarily combined with Embodiment forms 1 to 7.

#### <Embodiment 2>

In this embodiment, example structures of pixel circuits provided in the pixel  
10 portion will be described with reference to Fig. 13.

Note that a pixel of any structure may be applicable as long as the structure includes a current input portion.

A pixel shown in Fig. 13A includes a signal line 1101, first and second scanning lines 1102 and 1103, a current line (power supply line) 1104, a switching TFT 1105, a  
15 holding TFT 1106, a driving TFT 1107, a conversion driving TFT 1108, a capacitor element 1109, and a light emitting element 1110. Each signal line is connected to a current source circuit 1111.

Note that the current source circuit 1111 corresponds to the current source circuit 420 disposed in the signal line driving circuit 403.

20 The gate electrode of the switching TFT 1105 is connected to the first scanning line 1102, a first electrode thereof is connected to the signal line 1101, and a second electrode thereof is connected to a first electrode of the driving TFT 1107 and a first electrode of the conversion driving TFT 1108. The gate electrode of the holding TFT 1106 is connected to the second scanning line 1103, a first electrode thereof is connected  
25 to the signal line 1102, and a second electrode thereof is connected to the gate electrode of the driving TFT 1107 and the gate electrode of the conversion driving TFT 1108. A second electrode of the driving TFT 1107 is connected to the current line (power supply

line) 1104, and a second electrode of the conversion driving TFT 1108 is connected to one of the electrodes of the light emitting element 1110. The capacitor element 1109 is connected between the gate electrode of the conversion driving TFT 1108 and a second electrode thereof, and retains a gate-source voltage of the conversion driving TFT 1108.

5 The current line (power supply line) 1104 and the other electrode of the light emitting element 1110 are respectively input with predetermined potentials and have mutually different potentials.

The pixel of Fig. 13A corresponds to the case where a circuit of Fig. 30B is applied to a pixel. However, since the current-flow direction is different, the transistor

10 polarity is reverse. The driving TFT 1107 of Fig. 13A corresponds to a TFT 126 of Fig. 30B, the conversion driving TFT 1108 of Fig. 13A corresponds to a TFT 122 of Fig. 30B, and the holding TFT 1106 of Fig. 13A corresponds to the TFT 124 of Fig. 30B.

A pixel shown in Fig. 13B includes a signal line 1151, first and second scanning lines 1142 and 1143, a current line (power supply line) 1144, a switching TFT 1145, a

15 holding TFT 1146, a conversion driving TFT 1147, a driving TFT 1148, a capacitor element 1149, and a light emitting element 1140. The signal line 1151 is connected to a current source circuit 1141.

Note that the current source circuit 1141 corresponds to the current source circuit 420 disposed in the signal line driving circuit 403.

20 The gate electrode of the switching TFT 1145 is connected to the first scanning line 1142, a first electrode thereof is connected to the signal line 1151, and a second electrode thereof is connected to a first electrode of the driving TFT 1148 and a first electrode of the conversion driving TFT 1147. The gate electrode of the holding TFT 1146 is connected to the second scanning line 1143, a first electrode thereof is connected

25 to the first electrode of the driver TFT 1148, and a second electrode thereof is connected to the gate electrode of the driving TFT 1148 and the gate electrode of the conversion driving TFT 1147. A second electrode of the conversion driving TFT 1147 is connected

to the current line (power supply line) 1144, and a second electrode of the conversion driving TFT 1147 is connected to one of the electrodes of the light emitting element 1140. The capacitor element 1149 is connected between the gate electrode of the conversion driving TFT 1147 and a second electrode thereof, and retains a gate-source voltage of the conversion driving TFT 1147. The current line (power supply line) 1144 and the other electrode of the light emitting element 1140 are respectively input with predetermined potentials and have mutually different potentials.

Note that the pixel of Fig. 13B corresponds to the case where a circuit of Fig. 6B is applied to a pixel. However, since the current-flow direction is different, the transistor polarity is reverse. The conversion driving TFT 1147 of Fig. 13B corresponds to a TFT 122 of Fig. 6B, the driving TFT 1138 of Fig. 13B corresponds to a TFT 126 of Fig. 6B, and the holding TFT 1136 of Fig. 13B corresponds to the TFT 124 of Fig. 6B.

A pixel shown in Fig. 13C includes a signal line 1121, a first scanning line 1122, a second scanning line 1123, a third scanning line 1135, a current line (power supply line) 1124, a current line 1138, a switching TFT 1125, an erasing TFT 1126, a driving TFT 1127, a capacitor element 1128, a current-supply TFT 1129, a mirror TFT 1130, a capacitor element 1131, a current-input TFT 1132, a holding TFT 1133, and a light emitting element 1136. Each signal line is connected to a current source circuit 1137.

The gate electrode of the switching TFT 1125 is connected to the first scanning line 1122, a first electrode of the switching TFT 1125 is connected to the signal line 1121, and a second electrode of the switching TFT 1125 is connected to the gate electrode of the driving TFT 1127 and a first electrode of the erasing TFT 1126. The gate electrode of the erasing TFT 1126 is connected to the second scanning line 1123, and a second electrode of the erasing TFT 1126 is connected to the current line (power supply line) 1124. A first electrode of the driving TFT 1127 is connected to one of the electrodes of the light emitting element 1136, and a second electrode of the driving TFT 1127 is connected to a first electrode of the current-supply TFT 1129. A second electrode of the



current-supply TFT 1129 is connected to the current line (power supply line) 1124. One of the electrodes of the capacitor element 1131 is connected to the gate electrode of the current-supply TFT 1129 and the gate electrode of the mirror TFT 1130 and the other electrode thereof is connected to the current line (power supply line) 1124. A first  
5 electrode of the mirror TFT 1130 is connected to the current line 1124, and a second electrode of the mirror TFT 1130 is connected to a first electrode of the current-input TFT 1132. A second electrode of the current-input TFT 1132 is connected to the current line (power supply line) 1124, and the gate electrode of the current-input TFT 1132 is connected to the third scanning line 1135. The gate electrode of the current  
10 holding TFT 1133 is connected to the third scanning line 1135, a first electrode of the current holding TFT 1133 is connected to the pixel current line 1138, a second electrode of the current holding TFT 1133 is connected to the gate electrode of the current-supply TFT 1129 and the gate electrode of the mirror TFT 1130. The current line (power supply line) 1124 and the other electrode of light emitting element 1136 are input with  
15 predetermined potentials and have mutually different potentials.

This embodiment may be arbitrarily combined with Embodiment forms 1 to 7 and Embodiment 1.

### <Embodiment 3>

20 In this embodiment, technical devices when performing color display will be described.

With a light emitting element comprised of an organic EL element, the luminance can be variable depending on the color even though current having the same magnitude is supplied to the light emitting device. In addition, in the case where the  
25 light emitting element has deteriorated because of, for example, a time factor, the deterioration degree is variable depending on the color. Thus, when performing color display with a light emitting device using light emitting elements, various technical

devices are required to adjust the white balance.

The simplest technique is to change the magnitude of the current that is input to the pixel. To achieve the technique, the magnitude of the constant current source for video signal should be changed depending on the color.

5        Another technique is to use circuits as shown in Figs. 6C to 6E for the pixel, signal line driving circuit, constant current source for video signal, and the like. In the circuits as shown in Figs. 6C to 6E, the W/L ratio of two transistors forming the current mirror circuit is changed depending on the color. Thus, the magnitude of the current to be input to the pixel can be changed depending on the color.

10       Still another technique is to change the length of a lightening period. The technique can be applied to either of the case where the time gradation method is employed and the case where the time gradation method is not employed. According to the technique, the luminance of each pixel can be adjusted.

15       The white balance can be easily adjusted by using any one of the techniques or a combination thereof.

This embodiment may be arbitrarily combined with Embodiment forms 1 to 7 and Embodiments 1 and 2.

#### <Embodiment 4>

20       In this embodiment, the appearances of the light emitting devices (semiconductor devices) of the present invention will be described using Fig. 12. Fig. 12 is a top view of a light emitting device formed such that an element substrate on which transistors are formed is sealed with a sealing material; Fig. 12B is a cross-sectional view taken along the line A-A' of Fig. 12A; and Fig. 12C is a  
25       cross-sectional view taken along the line B-B' of Fig. 12A.

A sealing material 4009 is provided so as to enclose a pixel portion 4002, a source signal line driving circuit 4003, and gate signal line driving circuits 4004a and

4004b that are provided on a substrate 4001. In addition, a sealing material 4008 is provided over the pixel portion 4002, the source signal line driving circuit 4003, and the gate signal line driving circuits 4004a and 4004b. Thus, the pixel portion 4002, the source signal line driving circuit 4003, and the gate signal line driving circuits 4004a and 4004b are sealed by the substrate 4001, the sealing material 4009, and the sealing material 4008 with a filler material 4210.

The pixel portion 4002, the source signal line driving circuit 4003, and the gate signal line driving circuits 4004a and 4004b, which are provided over the substrate 4001, include a plurality of TFTs. Fig. 12B representatively shows a driving TFT (incidentally, an n-channel TFT and a p-channel TFT are shown in this example) 4201 included in the source signal line driving circuit 4003, and an erasing TFT 4202 included in the pixel portion 4002, which are formed on a base film 4010.

In this embodiment, a p-channel TFT or an n-channel TFT that is manufactured according to a known method is used for the driving TFT 4201, and an n-channel TFT manufactured according to a known method is used for the erasing TFT 4202.

An interlayer insulating film (leveling film) 4301 is formed on the driving TFT 4201 and the erasing TFT 4202, and a pixel electrode (anode) 4203 for being electrically connected to a drain of the erasing TFT 4202 is formed thereon. A transparent conductive film having a large work function is used for the pixel electrode 4203. For the transparent conductive film, a compound of indium oxide and tin oxide, a compound of indium oxide and zinc oxide, zinc oxide, tin oxide, or indium oxide can be used. Alternatively, the transparent conductive film added with gallium may be used.

An insulating film 4302 is formed on the pixel electrode 4203, and the insulating film 4302 is formed with an opening portion formed on the pixel electrode 4203. In the opening portion, a light emitting layer 4204 is formed on the pixel electrode 4203. The light emitting layer 4204 may be formed using a known light emitting material or inorganic light emitting material. As the light emitting material, either of a low

molecular weight (monomer) material and a high molecular weight (polymer) material may be used.

As a forming method of the light emitting layer 4204, a known vapor deposition technique or coating technique may be used. The structure of the light emitting layer 4204 may be either a laminate structure, which is formed by arbitrarily combining a hole injection layer, a hole transportation layer, a light-emitting layer, an electron transportation layer, and an electron injection layer, or a single-layer structure.

Formed on the light emitting layer 4204 is a cathode 4205 formed of a conductive film (representatively, a conductive film containing aluminum, copper, or silver as its main constituent, or a laminate film of the conductive film and another conductive film) having a light shielding property. Moisture and oxygen existing on an interface of the cathode 4205 and the light emitting layer 4204 are desirably eliminated as much as possible. For this reason, a technical device is necessary in that the light emitting layer 4204 is formed in an nitrogen or noble gas atmosphere, and the cathode 4205 is formed without being exposed to oxygen, moisture, and the like. In this embodiment, the above-described film deposition is enabled using a multi-chamber method (cluster-tool method) film deposition apparatus. In addition, the cathode 4205 is applied with a predetermined voltage.

In the above-described manner, a light emitting element 4303 constituted by the pixel electrode (anode) 4203, the light emitting layer 4204, and the cathode 4205 is formed. A protective film is formed on the insulating film so as to cover the light emitting element 4303. The protective film is effective for preventing, for example, oxygen and moisture, from entering the light emitting element 4303.

Reference numeral 4005a denotes a drawing line that is connected to a power supply line and that is electrically connected to a source region of the erasing TFT 4202. The drawing line 4005a is passed between the sealing material 4009 and the substrate 4001 and is then electrically connected to an FPC line 4301 of an FPC 4006 via an

anisotropic conductive film 4300.

As the sealing material 4008, a glass material, a metal material (representatively, a stainless steel material), ceramics material, or a plastic material (including a plastic film) may be used. As the plastic material, an FRP (fiberglass reinforced plastics) plate,  
5 a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film, or an acrylic resin film may be used. Alternatively, a sheet having a structure in which an aluminum foil is sandwiched by the PVF film or the Mylar film may be used.

However, a cover material needs to be transparent when light emission is directed from the light emitting layer to the cover material. In this case, a transparent  
10 substance such as a glass plate, a plastic plate, a polyester film, or an acrylic film, is used.

Further, for the filler material 4210, ultraviolet curing resin or a thermosetting resin may be used in addition to an inactive gas, such as nitrogen or argon; and PVC (polyvinyl chloride), acrylic, polyimide, epoxy resin, silicon resin, PVB (polyvinyl butyral), or EVA (ethylene vinyl acetate) may be used. In this embodiment, nitrogen  
15 was used for the filler material.

To keep the filler material 4210 to be exposed to a hygroscopic substance (preferably, barium oxide) or an oxygen-absorbable substance, a concave portion 4007 is provided on the surface of the sealing material 4008 on the side of the substrate 4001, and a hygroscopic substance or oxygen-absorbable substance 4207 is disposed. The  
20 hygroscopic substance or oxygen-absorbable substance 4207 is held in the concave portion 4007 via a concave-portion cover material 4208 such that the hygroscopic substance or oxygen-absorbable substance 4207 does not diffuse. The concave-portion cover material 4208 is in a fine mesh state and is formed to allow air and moisture to pass through and not to allow the hygroscopic substance or oxygen-absorbable substance 4207  
25 to pass through. The provision of the hygroscopic substance or oxygen-absorbable substance 4207 enables the suppression of deterioration of the light emitting element 4303.

As shown in Fig. 12C, simultaneously with the formation of the pixel electrode 4203, a conductive film 4203a is formed so as to be contact with an upper portion of the drawing line 4005a.

In addition, the anisotropic conductive film 4300 includes a conductive filler 4300a. The substrate 4001 and the FPC 4006 are thermally press-bonded, whereby the conductive film 4203a on the substrate 4001 and the FPC line 4301 on the FPC 4006 are electrically connected via the conductive filler 4300a.

This embodiment may be arbitrarily combined with Embodiment forms 1 to 7 and Embodiments 1 to 3.

10

#### <Embodiment 5>

A light emitting device is of self-light emitting type, so that in comparison to a liquid crystal display, the light emitting device offers a better visibility in bright portions and a wider view angle. Hence, the light emitting device can be used in display portions of various electronic devices.

Electronic devices using the light emitting device of the present invention include, there are given, for example, video cameras, digital cameras, goggle type displays (head mount displays), navigation systems, audio reproducing devices (such as car audio and audio components), notebook personal computers, game machines, mobile information terminals (such as mobile computers, mobile telephones, portable game machines, and electronic books), and image reproducing devices provided with a recording medium (specifically, devices for reproducing a recording medium such as a digital versatile disc (DVD), which includes a display capable of displaying images). In particular, in the case of mobile information terminals, since the degree of the view angle is appreciated important, the terminals preferably use the light emitting device. Practical examples are shown in Fig. 22.

Fig. 22A shows a light emitting element, which contains a casing 2001, a

support base 2002, a display portion 2003, a speaker portion 2004, a video input terminal 2005, and the like. The present invention can be applied to the display portion 2003. Further, the light emitting element shown in Fig. 22A is completed with the present invention. Since the light emitting element is of self-light emitting type, it does not  
5 need a back light, and therefore a display portion that is thinner than a liquid crystal display can be obtained. Note that light emitting elements include all information display devices, for example, personal computers, television broadcast transmitter-receivers, and advertisement displays.

Fig. 22B shows a digital still camera, which contains a main body 2101, a  
10 display portion 2102, an image receiving portion 2103, operation keys 2104, an external connection port 2105, a shutter 2106, and the like. The present invention can be applied to the display portion 2102. Further, the digital still camera shown in Fig. 22B is completed with the present invention.

Fig 22C shows a notebook personal computer, which contains a main body 2201,  
15 a casing 2202, a display portion 2203, a keyboard 2204, external connection ports 2205, a pointing mouse 2206, and the like. The present invention can be applied to the display portion 2203. Further, the light emitting element shown in Fig. 22C is completed with the present invention.

Fig 22D shows a mobile computer, which contains a main body 2301, a display  
20 portion 2302, a switch 2303, operation keys 2304, an infrared port 2305, and the like. The present invention can be applied to the display portion 2303. Further, the mobile computer shown in Fig. 22D is completed with the present invention.

Fig 22E shows a portable image reproducing device provided with a recording medium (specifically, a DVD reproducing device), which contains a main body 2401, a  
25 casing 2402, a display portion A 2403, a display portion B 2404, a recording medium (such as a DVD) read-in portion 2405, operation keys 2406, a speaker portion 2407, and the like. The display portion A 2403 mainly displays image information, and the

display portion B 2404 mainly displays character information. The present invention can be used in the display portion A 2403 and in the display portion B 2404. Note that family game machines and the like are included in the image reproducing devices provided with a recording medium. Further, the DVD reproducing device shown in Fig. 5 22E is completed with the present invention.

Fig 22F shows a goggle type display (head mounted display), which contains a main body 2501, a display portion 2502, an arm portion 2503, and the like. The present invention can be used in the display portion 2502. The goggle type display shown in Fig.22 F is completed with the present invention.

10 Fig. 22G shows a video camera, which contains a main body 2601, a display portion 2602, a casing 2603, external connection ports 2604, a remote control reception portion 2605, an image receiving portion 2606, a battery 2607, an audio input portion 2608, operation keys 2609, an eyepiece portion 2610, and the like. The present invention can be used in the display portion 2602. The video camera shown in Fig.22 G 15 is completed with the present invention.

Here, Fig. 22H shows a mobile telephone, which contains a main body 2701, a casing 2702, a display portion 2703, an audio input portion 2704, an audio output portion 2705, operation keys 2706, external connection ports 2707, an antenna 2708, and the like. The present invention can be used in the display portion 2703. Note that, by displaying 20 white characters on a black background, the display portion 2703 can suppress the consumption current of the mobile telephone. Further, the mobile telephone shown in Fig. 22H is completed with the present invention.

When the emission luminance of light emitting materials are increased in the future, the light emitting element will be able to be applied to a front or rear type 25 projector by expanding and projecting light containing image information having been output lenses or the like.

Cases are increasing in which the above-described electronic devices display



information distributed via electronic communication lines such as the Internet and CATVs (cable TVs). Particularly increased are cases where moving picture information is displayed. Since the response speed of the light emitting material is very high, the light emitting device is preferably used for moving picture display.

5           Since the light emitting device consumes the power in light emitting portions, information is desirably displayed so that the light emitting portions are reduced as much as possible. Thus, in the case where the light emitting device is used for a display portion of a mobile information terminal, particularly, a mobile telephone, an audio playback device, or the like, which primarily displays character information, it is  
10       preferable that the character information be formed in the light emitting portions with the non-light emitting portions being used as the background.

          As described above, the application range of the present invention is very wide, so that the invention can be used for electronic devices in all of fields. The electronic devices according to this embodiment may use the light emitting device with the  
15       structure according to any one of Embodiment forms 1 to 7 and Embodiments 1 to 4.

          The present invention can suppress influence of variation in characteristics of the TFTs, and offer a signal line driving circuit which can supply a desired signal current to the outside.

          Further, in the signal line driving circuit of the invention, a first and a second  
20       latches having respective current source circuits are disposed. In a case where a structure having a current mirror circuit is adopted as the current source circuit, a large current can be supplied from a constant current source for video signal by changing W/L thereof appropriately. As a result, setting operation can be done quickly and accurately. Further more, in the first current source circuit of the first latch and the second current source  
25       circuit of the second latch, since it becomes possible that one does the setting operation while the other does the input operation, the two operations can be done at the same time.

## Claims

1. A signal line driving circuit having a first and a second current source circuits corresponding to each of a plurality of signal lines, a shift register, and a constant current  
5 source for video signal, characterized in that

the first current source circuit is disposed in a first latch and the second current source circuit is disposed in a second latch,

the first current source circuit includes capacitive means for converting a current supplied from the constant current source for video signal into a voltage, according to a  
10 sampling pulse supplied from the shift register, and supplying means for supplying a current corresponding to the converted voltage, and

the second current source circuit includes capacitive means for converting a current supplied from the first latch into a voltage, according to a latch pulse, and supplying means for supplying a current corresponding to the converted voltage.

15

2. A signal line driving circuit having a first and a second current source circuits corresponding to each of a plurality of signal lines, a shift register, and  $n$  pieces ( $n$  is a natural number including 1 and more) of constant current sources for video signal, characterized in that

20 the first current source circuit is disposed in a first latch and the second current source circuit is disposed in a second latch,

the first current source circuit includes capacitive means for converting a current obtained by adding each current supplied from the  $n$  constant current sources for video signal into a voltage, according to a sampling pulse supplied from the shift register, and  
25 supplying means for supplying a current corresponding to the converted voltage,

the second current source circuit includes capacitive means for converting a current supplied from the first latch into a voltage, according to a latch pulse, and

supplying means for supplying a current corresponding to the converted voltage, and

the current values supplied from the  $n$  constant current sources for video signal are set at  $2^0:2^1:\dots:2^n$ .

5 3. A signal line driving circuit having  $2 \times n$  pieces of current source circuits corresponding to each of a plurality of signal lines, a shift register, and  $n$  pieces ( $n$  is a natural number including 1 and more) of constant current sources for video signal, characterized in that

of the  $2 \times n$  current source circuits, the respective  $n$  current source circuits are  
10 disposed in respective first and second latches,

the  $n$  current source circuits disposed in the first latch include capacitive means for converting a current supplied from each of the  $n$  constant current sources for video signal into a voltage, according to a sampling pulse supplied from the shift register, and supplying means for supplying a current corresponding to the converted voltage,

15 the  $n$  current source circuits disposed in the second latch include capacitive means for converting a current obtained by adding each current supplied from the first latch into a voltage, according to a latch pulse, and supplying means for supplying a current corresponding to the converted voltage,

a current obtained by adding each current supplied from each of the  $n$  current  
20 source circuits disposed in the second latch are supplied to the plurality of signal lines, and

the current values supplied from the  $n$  constant current sources for video signal are set at  $2^0:2^1:\dots:2^n$ .

4. A signal line driving circuit having  $(n+m)$  pieces of current source circuits  
25 corresponding to each of a plurality of signal lines, a shift register, and  $n$  pieces ( $n$  is a natural number including 1 and more,  $n \geq m$ ) of constant current sources for video signal, characterized in that

of the (n+m) current source circuits, the n current source circuits are disposed in a first latch and the m current source circuits are disposed in a second latch,

the n current source circuits disposed in the first latch include capacitive means for converting a current supplied from each of the n constant current sources for video  
5 signal into a voltage, according to a sampling pulse supplied from the shift register, and supplying means for supplying a current corresponding to the converted voltage,

the m current source circuits disposed in the second latch include capacitive means for converting a current obtained by adding each current supplied from each of the n current source circuits disposed in the first latch into a voltage, according to a latch pulse,  
10 and supplying means for supplying a current corresponding to the converted voltage, and

the current values supplied from the n constant current sources for video signal are set at  $2^0:2^1:\dots:2^n$ .

5. The signal line driving circuit, according to Claim 1, characterized in that  
15 when a drain and gate of a transistor belonging to the supplying means is in a short-circuit state, the capacitive means holds a voltage occurring between the gate/source, according to the supplied current.

6. The signal line driving circuit, according to Claim 2, characterized in that  
20 when a drain and gate of a transistor belonging to the supplying means is in a short-circuit state, the capacitive means holds a voltage occurring between the gate/source, according to the supplied current.

7. The signal line driving circuit, according to Claim 3, characterized in that  
25 when a drain and gate of a transistor belonging to the supplying means is in a short-circuit state, the capacitive means holds a voltage occurring between the gate/source, according to the supplied current.

8. The signal line driving circuit, according to Claim 4, characterized in that  
when a drain and gate of a transistor belonging to the supplying means is in a  
short-circuit state, the capacitive means holds a voltage occurring between the gate/source,  
5 according to the supplied current.

9. The signal line driving circuit, according to Claim 1, characterized in that  
the supplying means includes a transistor, a first switch for controlling  
conductivity between the gate and drain of the transistor, a second switch for controlling  
10 conductivity between the constant current source for video signal and the gate of the  
transistor, and a third switch for controlling conductivity between the drain of the  
transistor and a pixel.

10. The signal line driving circuit, according to Claim 2, characterized in that  
15 the supplying means includes a transistor, a first switch for controlling  
conductivity between the gate and drain of the transistor, a second switch for controlling  
conductivity between the constant current source for video signal and the gate of the  
transistor, and a third switch for controlling conductivity between the drain of the  
transistor and a pixel.

20

11. The signal line driving circuit, according to Claim 3, characterized in that  
the supplying means includes a transistor, a first switch for controlling  
conductivity between the gate and drain of the transistor, a second switch for controlling  
conductivity between the constant current source for video signal and the gate of the  
25 transistor, and a third switch for controlling conductivity between the drain of the  
transistor and a pixel.

12. The signal line driving circuit, according to Claim 4, characterized in that  
the supplying means includes a transistor, a first switch for controlling  
conductivity between the gate and drain of the transistor, a second switch for controlling  
conductivity between the constant current source for video signal and the gate of the  
5 transistor, and a third switch for controlling conductivity between the drain of the  
transistor and a pixel.
13. The signal line driving circuit, according to Claim 1, characterized in that  
when each drain and gate of both a first and a second transistors belonging to the  
10 supplying means is in a short-circuit state, the capacitive means holds a voltage occurring  
between the gate/source of the first or the second transistor, according to the supplied  
current.
14. The signal line driving circuit, according to Claim 2, characterized in that  
15 when each drain and gate of both a first and a second transistors belonging to the  
supplying means is in a short-circuit state, the capacitive means holds a voltage occurring  
between the gate/source of the first or the second transistor, according to the supplied  
current.
- 20 15. The signal line driving circuit, according to Claim 3, characterized in that  
when each drain and gate of both a first and a second transistors belonging to the  
supplying means is in a short-circuit state, the capacitive means holds a voltage occurring  
between the gate/source of the first or the second transistor, according to the supplied  
current.
- 25 16. The signal line driving circuit, according to Claim 4, characterized in that  
when each drain and gate of both a first and a second transistors belonging to the

supplying means is in a short-circuit state, the capacitive means holds a voltage occurring between the gate/source of the first or the second transistor, according to the supplied current.

5     17.     The signal line driving circuit, according to Claim 1, characterized in that  
the supplying means includes a current mirror circuit formed by a first and a  
second transistors, a first switch for controlling conductivity between each gate and source  
of the first and the second transistors, and a second switch for controlling conductivity  
between the constant current source for video signal and the gates of the first and second  
10 transistors.

18.     The signal line driving circuit, according to Claim 2, characterized in that  
the supplying means includes a current mirror circuit formed by a first and a  
second transistors, a first switch for controlling conductivity between each gate and source  
15 of the first and the second transistors, and a second switch for controlling conductivity  
between the constant current source for video signal and the gates of the first and second  
transistors.

19.     The signal line driving circuit, according to Claim 3, characterized in that  
20 the supplying means includes a current mirror circuit formed by a first and a  
second transistors, a first switch for controlling conductivity between each gate and source  
of the first and the second transistors, and a second switch for controlling conductivity  
between the constant current source for video signal and the gates of the first and second  
transistors.

25

20.     The signal line driving circuit, according to Claim 4, characterized in that  
the supplying means includes a current mirror circuit formed by a first and a

second transistors, a first switch for controlling conductivity between each gate and source of the first and the second transistors, and a second switch for controlling conductivity between the constant current source for video signal and the gates of the first and second transistors.

5

21. The signal line driving circuit, according to Claim 1, characterized in that  
when a drain and gate of one of a first and a second transistors belonging to the  
supplying means is in a short-circuit state, the capacitive means holds a voltage occurring  
between the gate/source, according to the supplied current.

10

22. The signal line driving circuit, according to Claim 2, characterized in that  
when each drain and gate of both a first and a second transistors belonging to the  
supplying means is in a short-circuit state, the capacitive means holds a voltage occurring  
between the gate/source of the first or the second transistor, according to the supplied  
15 current.

15

23. The signal line driving circuit, according to Claim 3, characterized in that  
when each drain and gate of both a first and a second transistors belonging to the  
supplying means is in a short-circuit state, the capacitive means holds a voltage occurring  
20 between the gate/source of the first or the second transistor, according to the supplied  
current.

20

24. The signal line driving circuit, according to Claim 4, characterized in that  
when each drain and gate of both a first and a second transistors belonging to the  
25 supplying means is in a short-circuit state, the capacitive means holds a voltage occurring  
between the gate/source of the first or the second transistor, according to the supplied  
current.

25



25. The signal line driving circuit, according to Claim 1, characterized in that  
the supplying means comprises a current mirror circuit including a first and a  
second transistors,  
5 a first switch for controlling conductivity between the constant current source for  
video signal and a drain of the first transistor, and  
a second switch for controlling conductivity selectively between the drain and  
gate of the first transistor, the gate of the first transistor and the gate of the second  
transistor, or the gates of the first and the second transistors and the constant current  
10 source for video signal.

26. The signal line driving circuit, according to Claim 2, characterized in that  
the supplying means comprises a current mirror circuit including a first and a  
second transistors,  
15 a first switch for controlling conductivity between the constant current source for  
video signal and a drain of the first transistor,  
a second switch for controlling conductivity selectively between the drain and  
gate of the first transistor, the gate of the first transistor and the gate of the second  
transistor, or the gates of the first and the second transistors and the constant current  
20 source for video signal.

27. The signal line driving circuit, according to Claim 3, characterized in that  
the supplying means comprises a current mirror circuit including a first and a  
second transistors,  
25 a first switch for controlling conductivity between the constant current source for  
video signal and a drain of the first transistor,  
a second switch for controlling conductivity selectively between the drain and

gate of the first transistor, the gate of the first transistor and the gate of the second transistor, or the gates of the first and the second transistors and the constant current source for video signal.

- 5     28.     The signal line driving circuit, according to Claim 4, characterized in that  
the supplying means comprises a current mirror circuit including a first and a second transistors,

a first switch for controlling conductivity between the constant current source for video signal and a drain of the first transistor,

- 10           a second switch for controlling conductivity selectively between the drain and gate of the first transistor, the gate of the first transistor and the gate of the second transistor, or the gates of the first and the second transistors and the constant current source for video signal.

- 15     29.     The signal line driving circuit, according to Claim 17, characterized in that  
each gate width/gate length of the first and the second transistors is set at the same value.

30.     The signal line driving circuit, according to Claim 18, characterized in that  
20           each gate width/gate length of the first and the second transistors is set at the same value.

31.     The signal line driving circuit, according to Claim 19, characterized in that  
each gate width/gate length of the first and the second transistors is set at the  
25     same value.

32.     The signal line driving circuit, according to Claim 20, characterized in that

each gate width/gate length of the first and the second transistors is set at the same value.

33. The signal line driving circuit, according to Claim 21, characterized in that  
5 each gate width/gate length of the first and the second transistors is set at the same value.

34. The signal line driving circuit, according to Claim 22, characterized in that  
each gate width/gate length of the first and the second transistors is set at the  
10 same value.

35. The signal line driving circuit, according to Claim 23, characterized in that  
each gate width/gate length of the first and the second transistors is set at the  
same value.  
15

36. The signal line driving circuit, according to Claim 24, characterized in that  
each gate width/gate length of the first and the second transistors is set at the  
same value.

20 37. The signal line driving circuit, according to Claim 25, characterized in that  
each gate width/gate length of the first and the second transistors is set at the  
same value.

38. The signal line driving circuit, according to Claim 26, characterized in that  
25 each gate width/gate length of the first and the second transistors is set at the  
same value.

39. The signal line driving circuit, according to Claim 27, characterized in that each gate width/gate length of the first and the second transistors is set at the same value.
- 5 40. The signal line driving circuit, according to Claim 28, characterized in that each gate width/gate length of the first and the second transistors is set at the same value.
41. The signal line driving circuit, according to Claim 17, characterized in that  
10 the gate width/gate length of the first transistor is set larger than the gate width/gate length of the second transistor.
42. The signal line driving circuit, according to Claim 18, characterized in that the gate width/gate length of the first transistor is set larger than the gate  
15 width/gate length of the second transistor.
43. The signal line driving circuit, according to Claim 19, characterized in that the gate width/gate length of the first transistor is set larger than the gate width/gate length of the second transistor.  
20
44. The signal line driving circuit, according to Claim 20, characterized in that the gate width/gate length of the first transistor is set larger than the gate width/gate length of the second transistor.
- 25 45. The signal line driving circuit, according to Claim 21, characterized in that the gate width/gate length of the first transistor is set larger than the gate width/gate length of the second transistor.

46. The signal line driving circuit, according to Claim 22, characterized in that  
the gate width/gate length of the first transistor is set larger than the gate  
width/gate length of the second transistor.

5

47. The signal line driving circuit, according to Claim 23, characterized in that  
the gate width/gate length of the first transistor is set larger than the gate  
width/gate length of the second transistor.

10 48. The signal line driving circuit, according to Claim 24, characterized in that  
the gate width/gate length of the first transistor is set larger than the gate  
width/gate length of the second transistor.

49. The signal line driving circuit, according to Claim 25, characterized in that  
15 the gate width/gate length of the first transistor is set larger than the gate  
width/gate length of the second transistor.

50. The signal line driving circuit, according to Claim 26, characterized in that  
the gate width/gate length of the first transistor is set larger than the gate  
20 width/gate length of the second transistor.

51. The signal line driving circuit, according to Claim 27, characterized in that  
the gate width/gate length of the first transistor is set larger than the gate  
width/gate length of the second transistor.

25

52. The signal line driving circuit, according to Claim 28, characterized in that  
the gate width/gate length of the first transistor is set larger than the gate

width/gate length of the second transistor.

53. The signal line driving circuit, according to Claim 1, characterized in that

the supplying means includes a transistor, a first and a second switches for  
5 controlling current supply toward the capacitive means, and a third switch for controlling  
conductivity between the gate and drain of the transistor,

the gate of the transistor is connected to the first switch, the source of the  
transistor is connected to the second switch, and the drain of the transistor is connected to  
the third switch.

10

54. The signal line driving circuit, according to Claim 2, characterized in that

the supplying means includes a transistor, a first and a second switches for  
controlling current supply toward the capacitive means, and a third switch for controlling  
conductivity between the gate and drain of the transistor,

15 the gate of the transistor is connected to the first switch, the source of the  
transistor is connected to the second switch, and the drain of the transistor is connected to  
the third switch.

55. The signal line driving circuit, according to Claim 3, characterized in that

20 the supplying means includes a transistor, a first and a second switches for  
controlling current supply toward the capacitive means, and a third switch for controlling  
conductivity between the gate and drain of the transistor,

the gate of the transistor is connected to the first switch, the source of the  
transistor is connected to the second switch, and the drain of the transistor is connected to  
25 the third switch.

56. The signal line driving circuit, according to Claim 4, characterized in that

the supplying means includes a transistor, a first and a second switches for controlling current supply toward the capacitive means, and a third switch for controlling conductivity between the gate and drain of the transistor,

the gate of the transistor is connected to the first switch, the source of the  
5 transistor is connected to the second switch, and the drain of the transistor is connected to the third switch.

57. The signal line driving circuit, according to Claim 1, characterized in that  
the supplying means includes a current mirror circuit including a transistors,  
10 each gate width/gate length of the a transistors is set at  $20:21:\dots:2a$ , and  
each drain current of the a transistors is set at  $20:21:\dots:2a$ .

58. The signal line driving circuit, according to Claim 2, characterized in that  
the supplying means includes a current mirror circuit including a transistors,  
15 each gate width/gate length of the a transistors is set at  $20:21:\dots:2a$ , and  
each drain current of the a transistors is set at  $20:21:\dots:2a$ .

59. The signal line driving circuit, according to Claim 3, characterized in that  
the supplying means includes a current mirror circuit including a transistors,  
20 each gate width/gate length of the a transistors is set at  $20:21:\dots:2a$ , and  
each drain current of the a transistors is set at  $20:21:\dots:2a$ .

60. The signal line driving circuit, according to Claim 4, characterized in that  
the supplying means includes a current mirror circuit including a transistors,  
25 each gate width/gate length of the a transistors is set at  $20:21:\dots:2a$ , and  
each drain current of the a transistors is set at  $20:21:\dots:2a$ .

61. The signal line driving circuit, according to Claim 1, characterized in that  
a transistor forming the supplying means operates in a saturation region.
62. The signal line driving circuit, according to Claim 2, characterized in that  
5 a transistor forming the supplying means operates in a saturation region.
63. The signal line driving circuit, according to Claim 3, characterized in that  
a transistor forming the supplying means operates in a saturation region.
- 10 64. The signal line driving circuit, according to Claim 4, characterized in that  
a transistor forming the supplying means operates in a saturation region.
65. The signal line driving circuit, according to Claim 1, characterized in that  
an active layer of a transistor forming the current source circuit is formed by a  
15 polysilicon.
66. The signal line driving circuit, according to Claim 2, characterized in that  
an active layer of a transistor forming the current source circuit is formed by a  
polysilicon.  
20
67. The signal line driving circuit, according to Claim 3, characterized in that  
an active layer of a transistor forming the current source circuit is formed by a  
polysilicon.
- 25 68. The signal line driving circuit, according to Claim 4, characterized in that  
an active layer of a transistor forming the current source circuit is formed by a  
polysilicon.



69. A light emitting device, comprising  
the signal line driving circuit as claimed in Claim 1 and a pixel portion where a  
plurality of pixels each including a light emitting element are arranged in a matrix shape,  
5 characterized in that a current is supplied to the light emitting element from the  
second latch.

70. A light emitting device, comprising  
the signal line driving circuit as claimed in Claim 2 and a pixel portion where a  
10 plurality of pixels each including a light emitting element are arranged in a matrix shape,  
characterized in that a current is supplied to the light emitting element from the  
second latch.

71. A light emitting device, comprising  
15 the signal line driving circuit as claimed in Claim 3 and a pixel portion where a  
plurality of pixels each including a light emitting element are arranged in a matrix shape,  
characterized in that a current is supplied to the light emitting element from the  
second latch.

20 72. A light emitting device, comprising  
the signal line driving circuit as claimed in Claim 4 and a pixel portion where a  
plurality of pixels each including a light emitting element are arranged in a matrix shape,  
characterized in that a current is supplied to the light emitting element from the  
second latch.

25

## ABSTRACT

Dispersion occurs in the characteristics of the transistors. The invention is a signal line driving circuit having a first and a second current source circuits corresponding to each of a plurality of signal lines, a shift register, and a constant current source for video signal, in which the first current source circuit is disposed in a first latch and the second current source circuit is disposed in a second latch. The first current source circuit includes capacitive means for converting the current supplied from the constant current source for video signal into a voltage, according to a sampling pulse supplied from the shift register, and supplying means for supplying the current corresponding to the converted voltage. The second current source circuit includes capacitive means for converting the current supplied from the first latch into a voltage, according to a latch pulse, and supplying means for supplying the current corresponding to the converted voltage.

15

Fig. 1

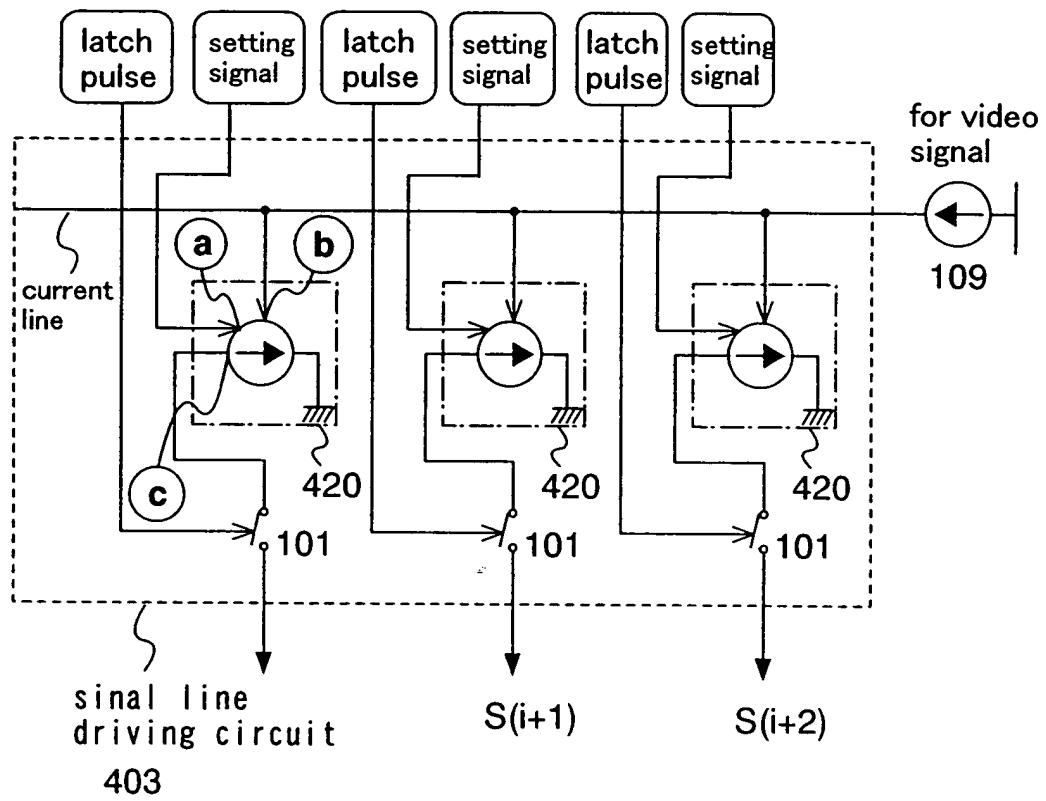


Fig. 2

2/42

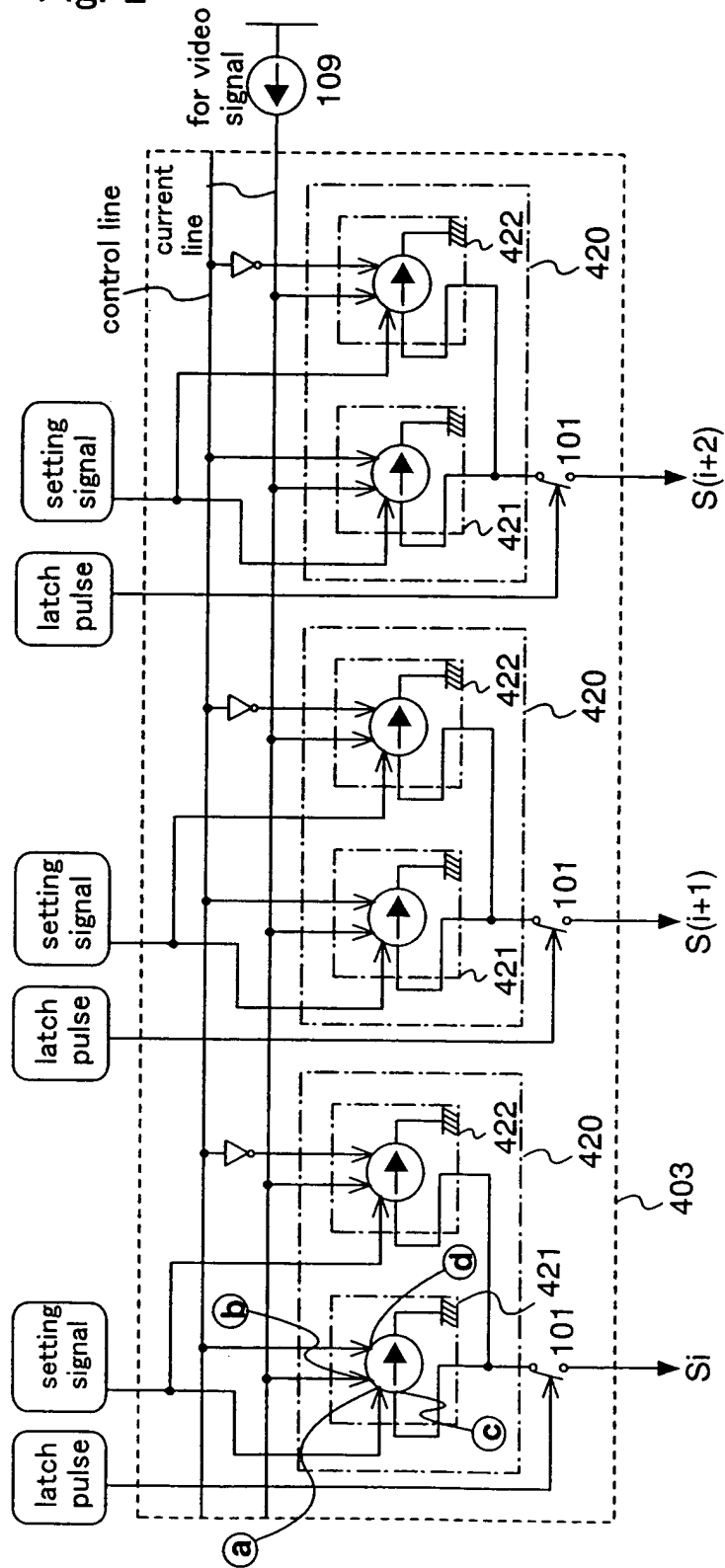


Fig. 3A

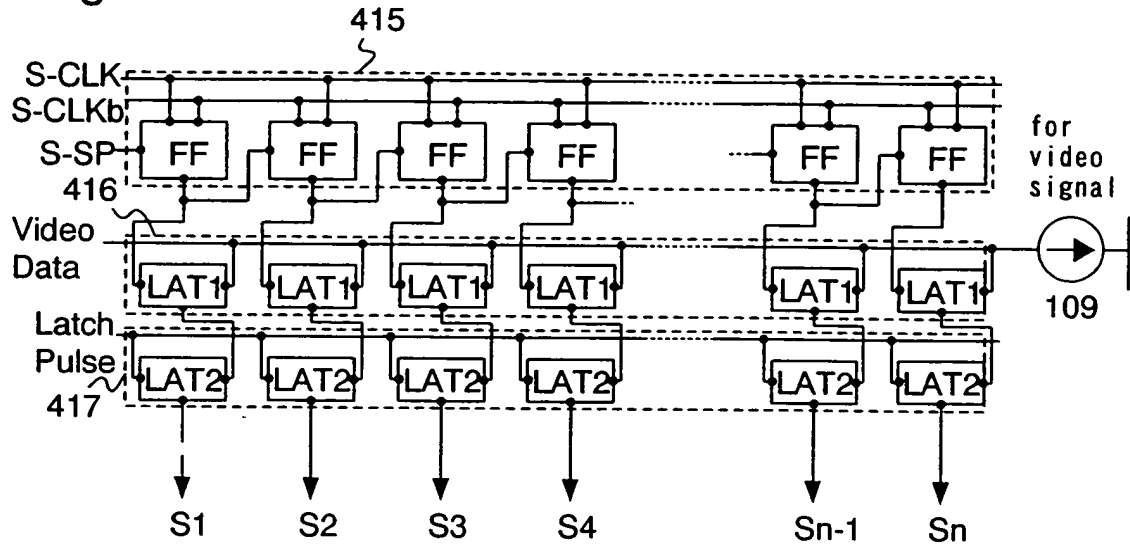


Fig. 3B

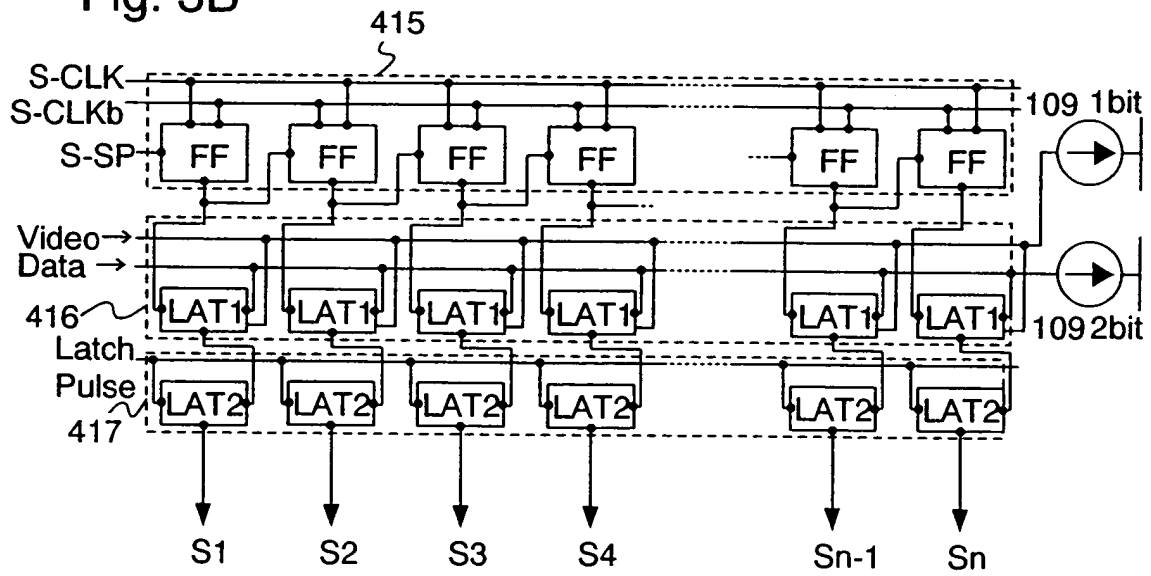


Fig. 4

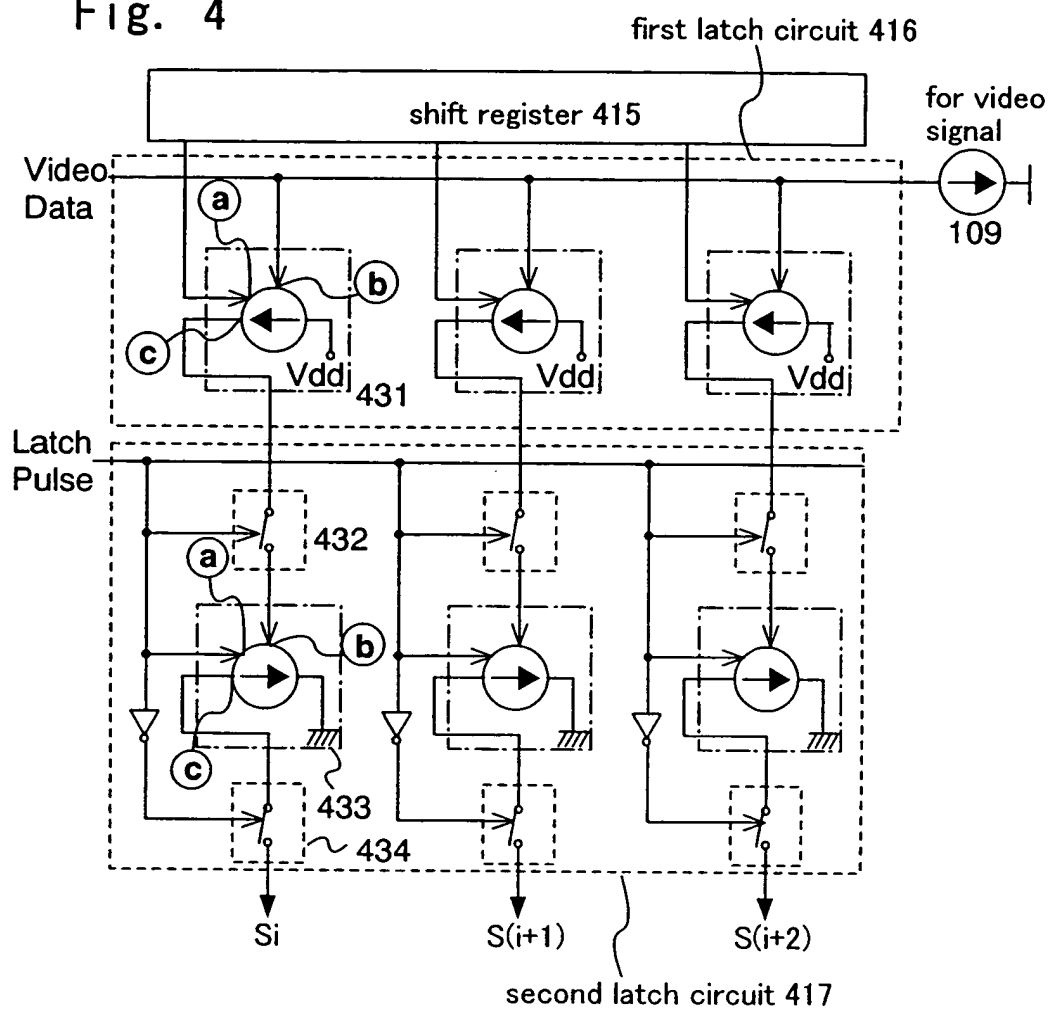


Fig. 5

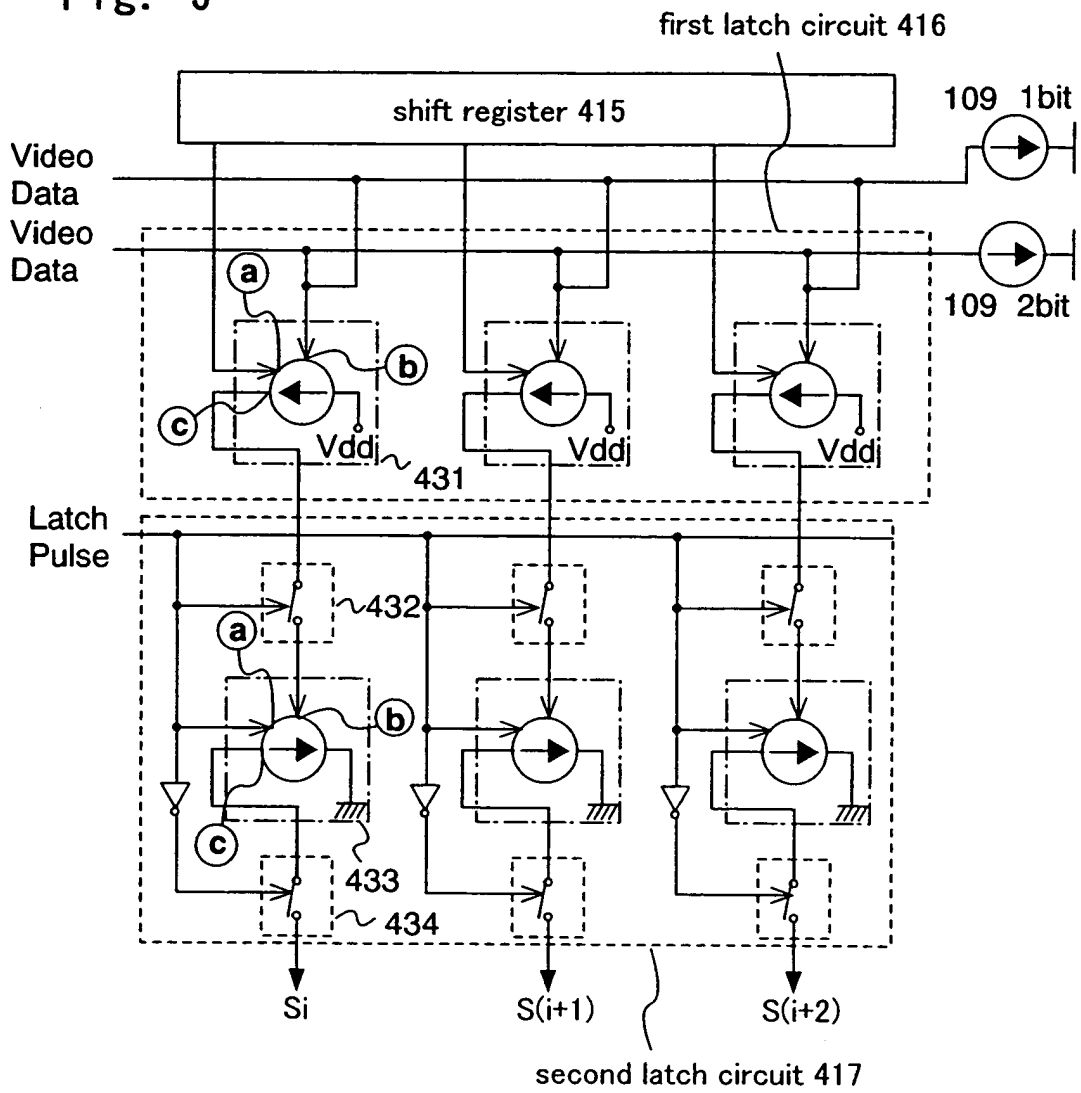


Fig. 6A

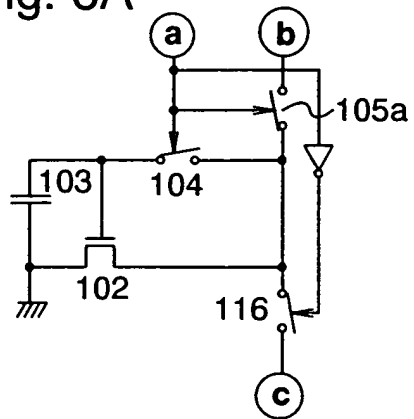


Fig. 6B

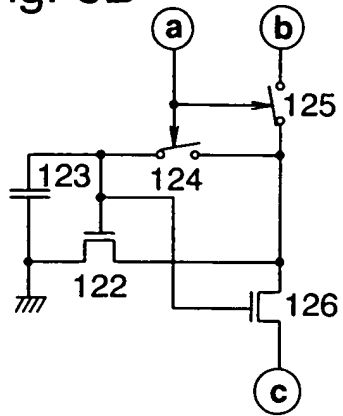


Fig. 6C

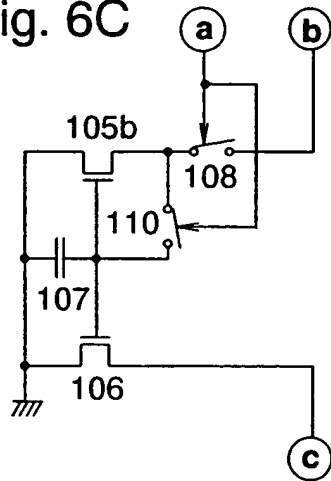


Fig. 6D

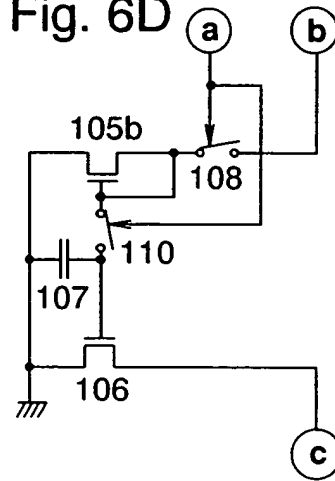


Fig. 6E

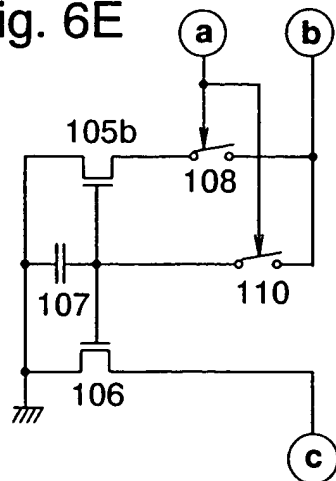




Fig. 7A

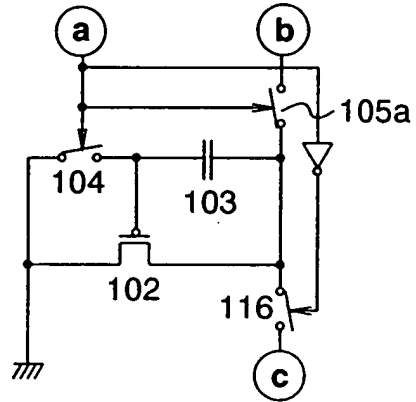


Fig. 7B

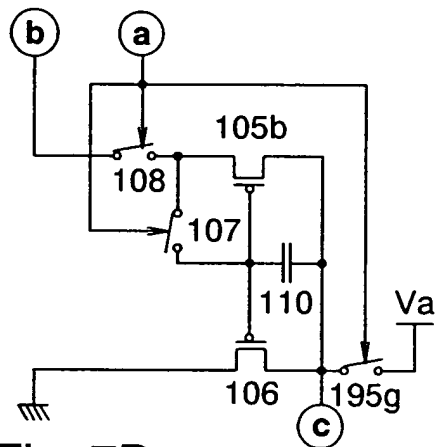


Fig. 7C

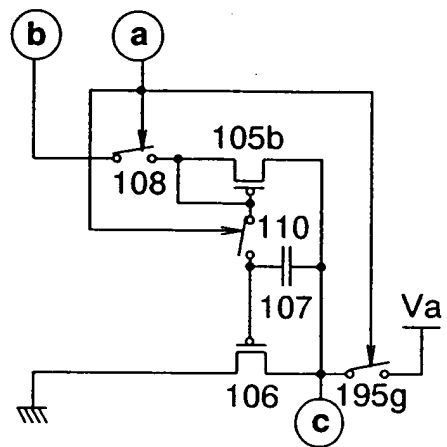


Fig. 7D

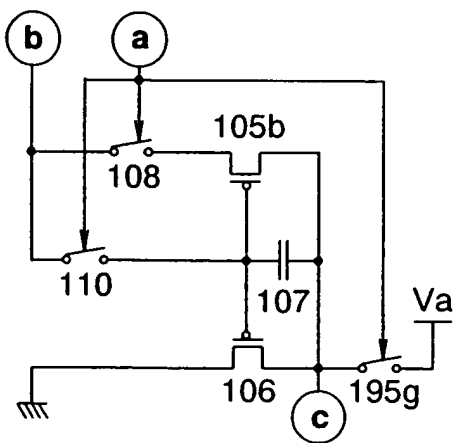


Fig. 8A

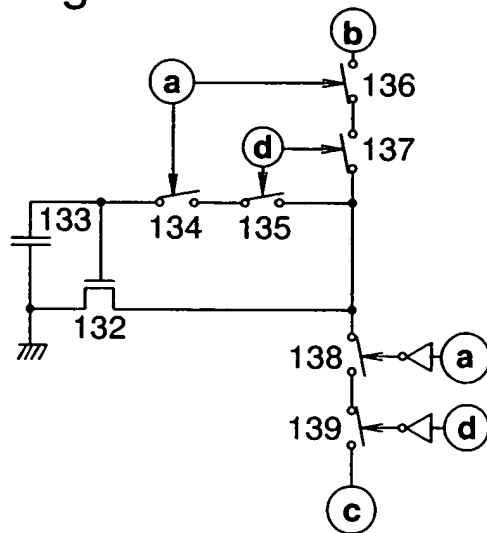


Fig. 8B

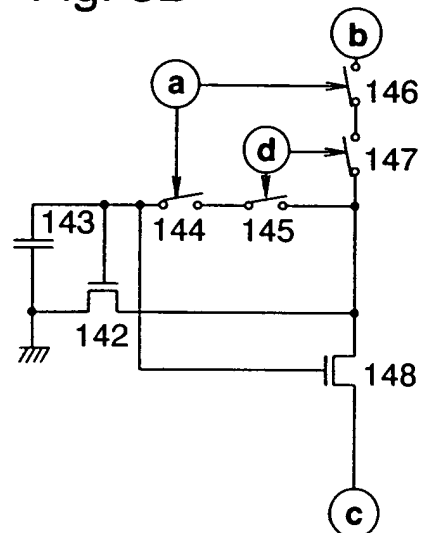


Fig. 9

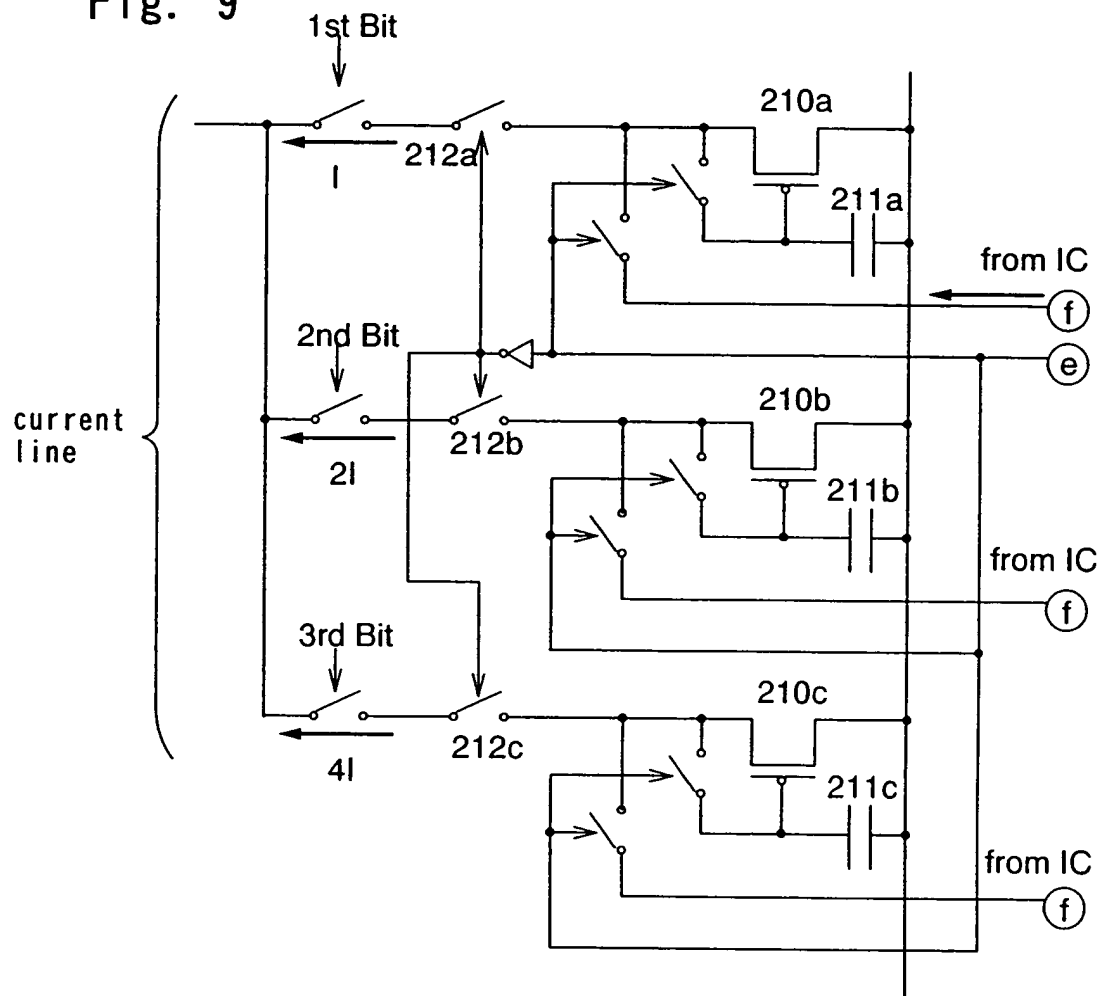


Fig. 10

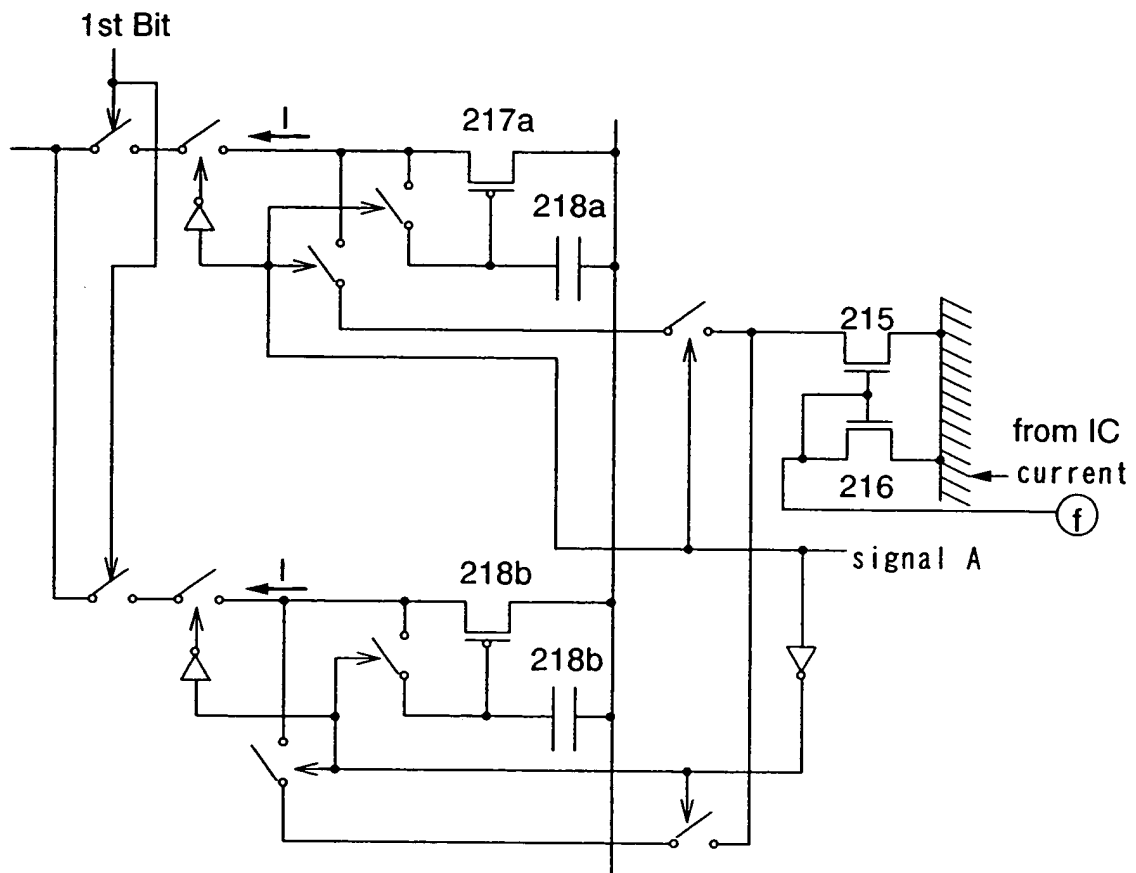


Fig. 11A

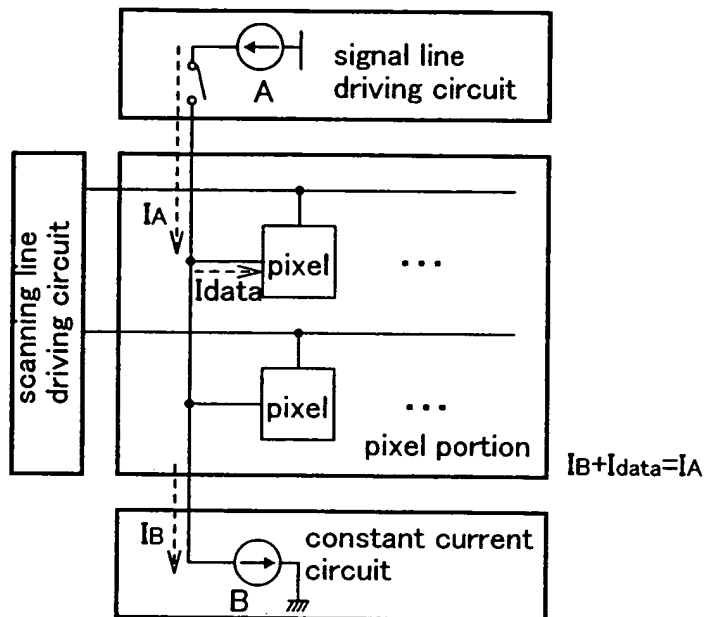


Fig. 11B

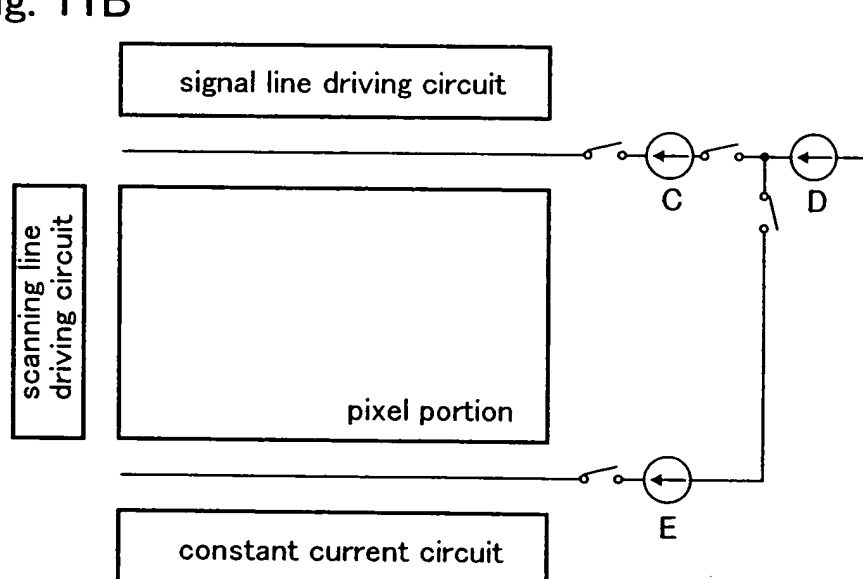


Fig. 12A

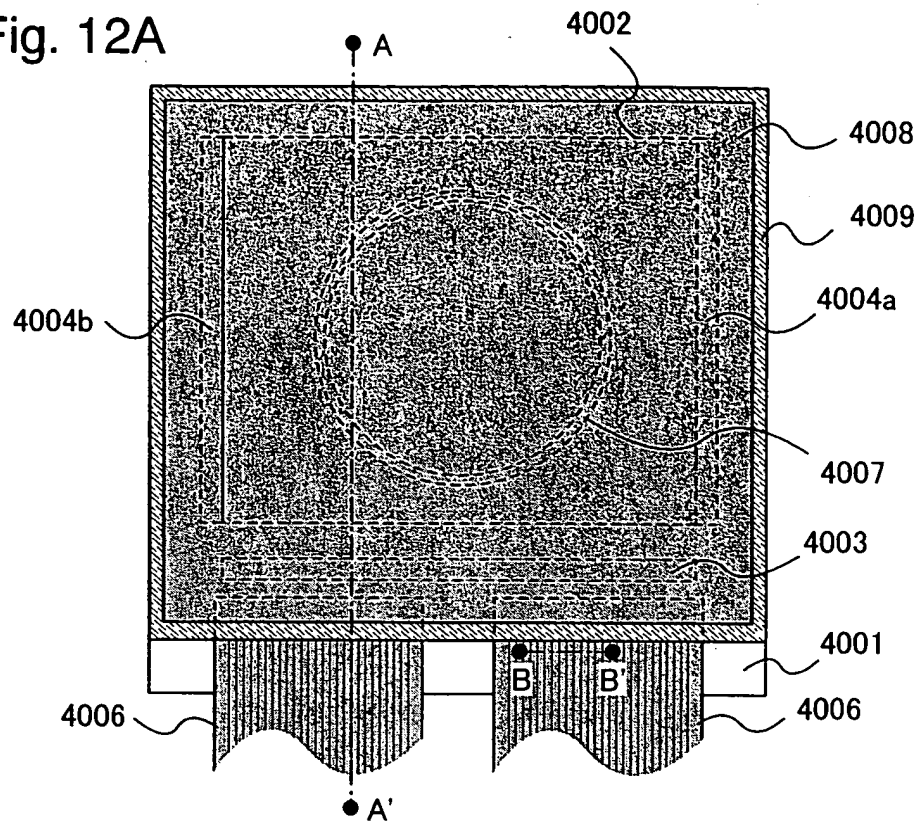


Fig. 12B

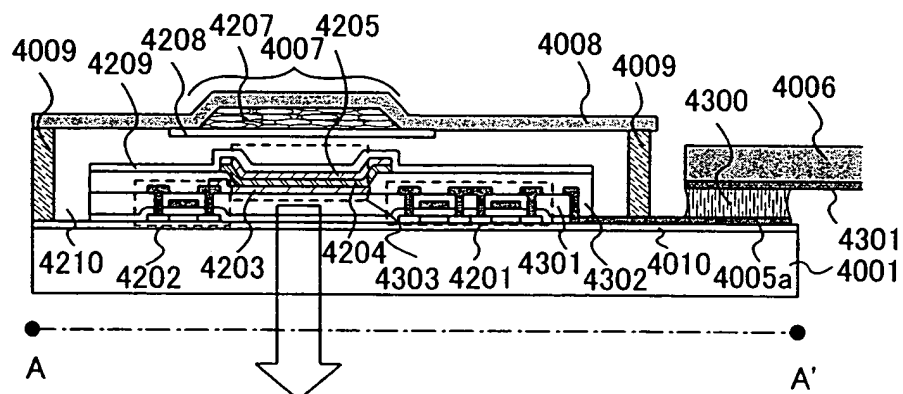


Fig. 12C

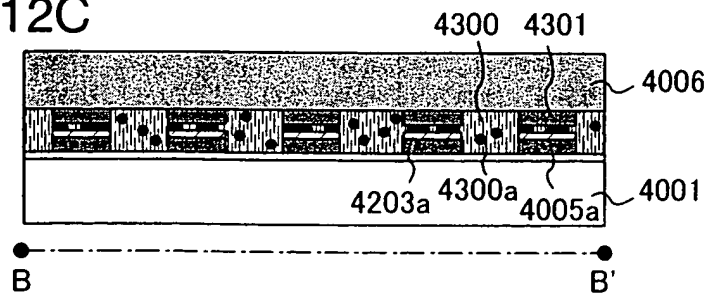


Fig. 13A

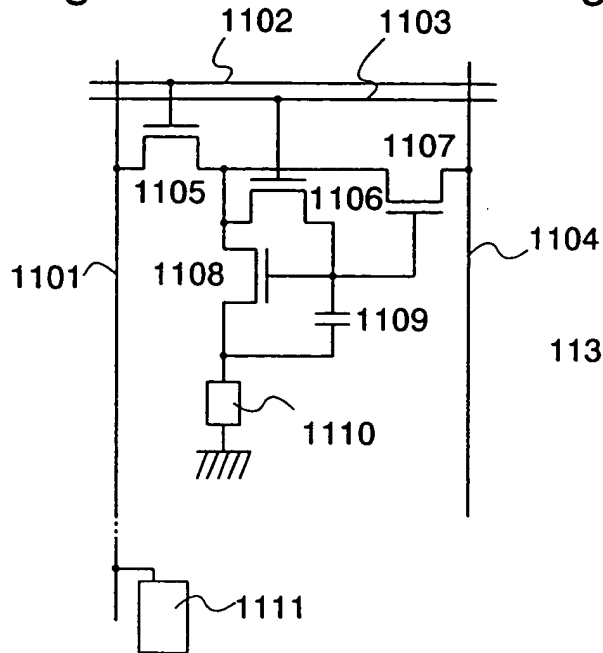


Fig. 13B

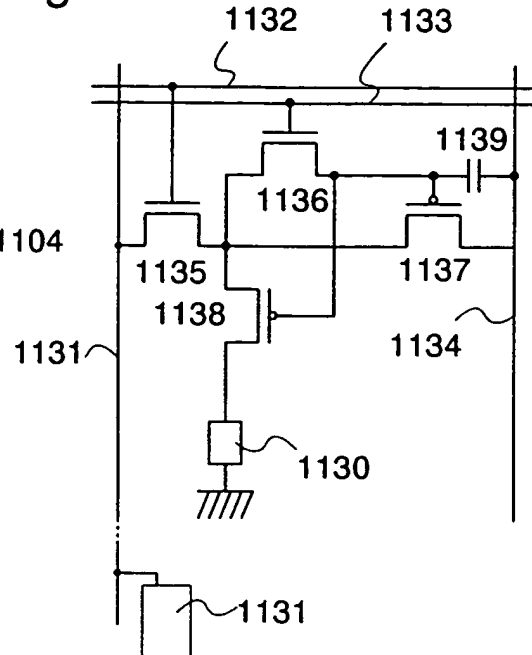
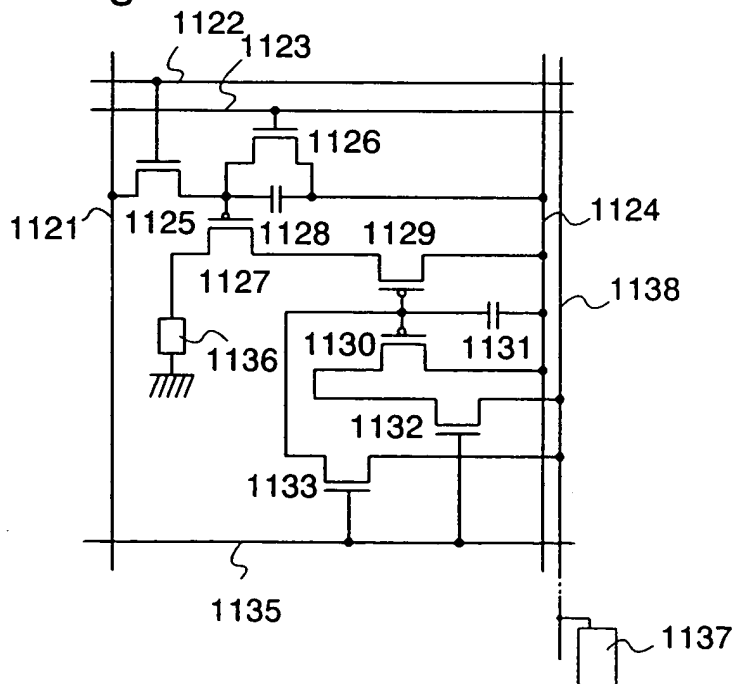


Fig. 13C



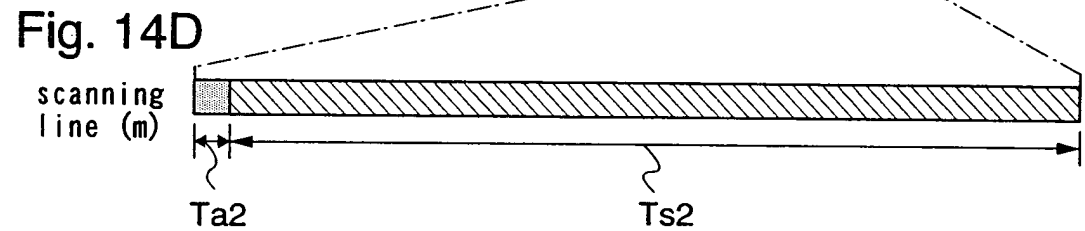
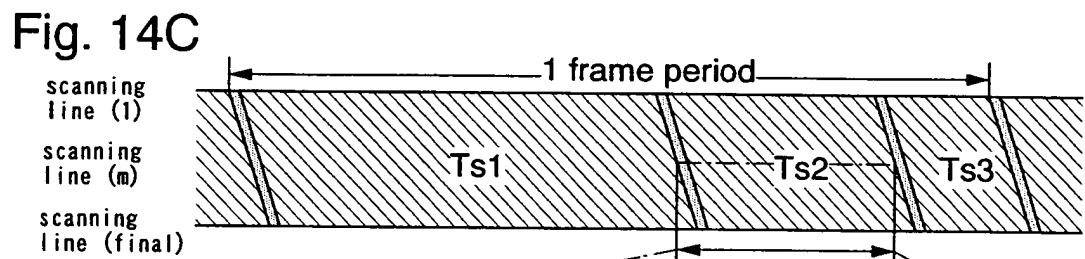
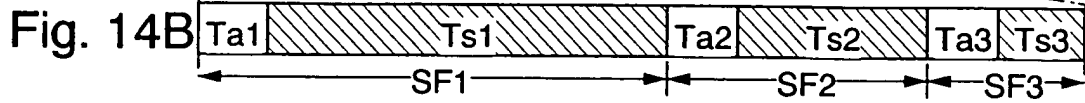
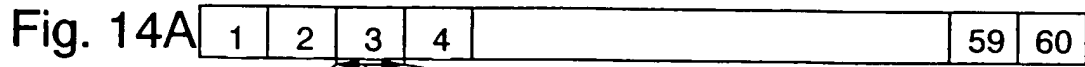


Fig. 15A

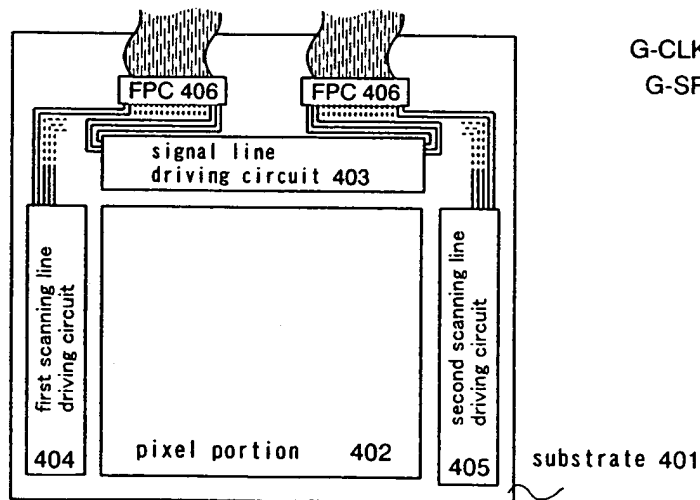


Fig. 15B

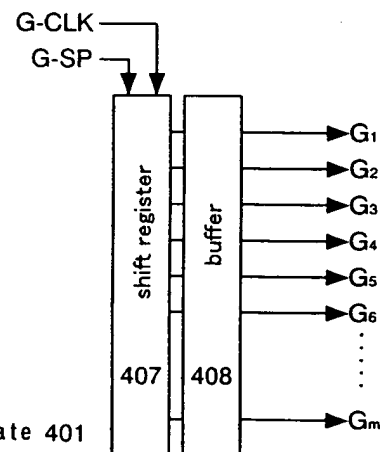




Fig. 16A

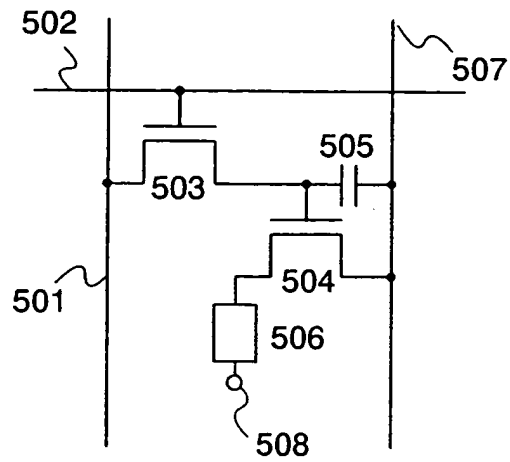


Fig. 16B

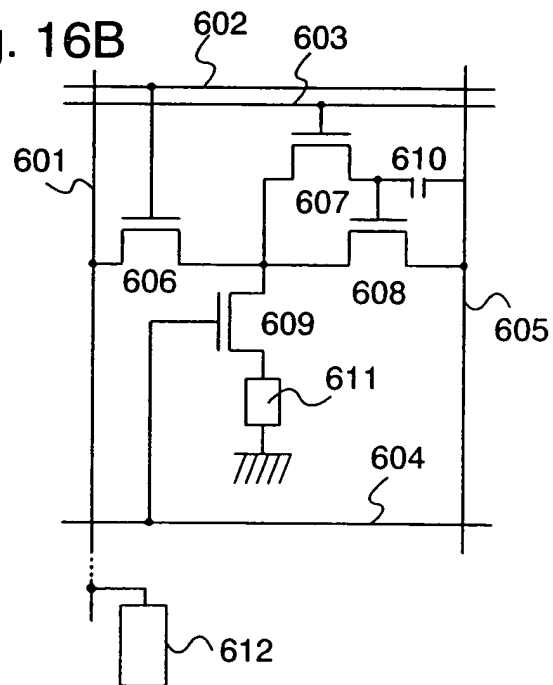


Fig. 17A signal input time

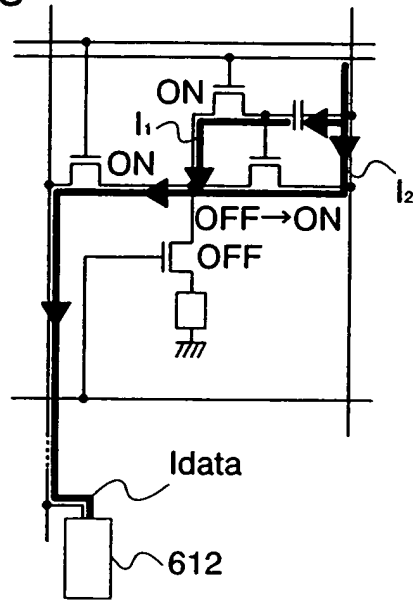


Fig. 17B

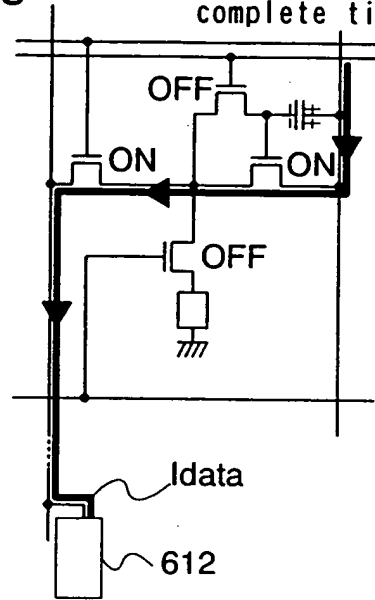
signal input  
complete time

Fig. 17C light emitting time

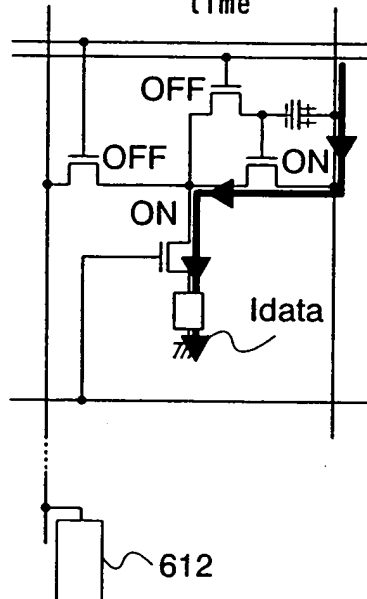


Fig. 17D

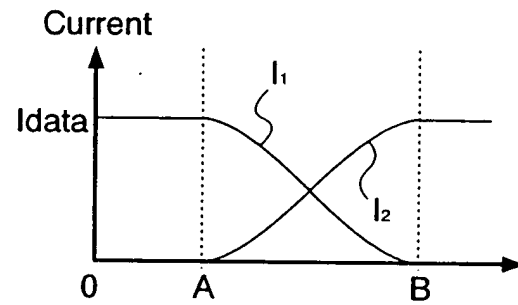


Fig. 17E

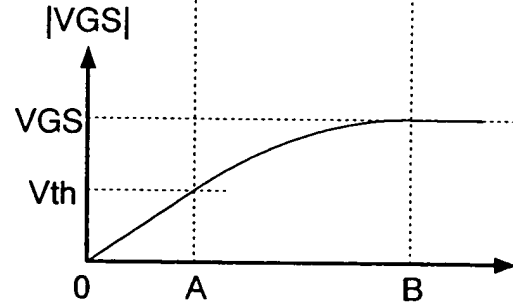


Fig. 18A

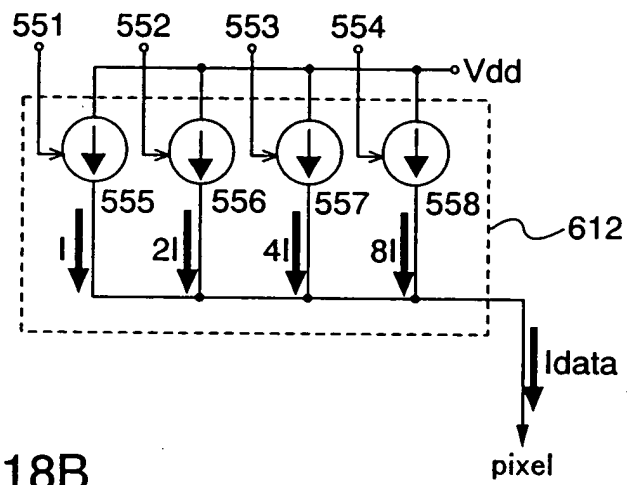


Fig. 18B

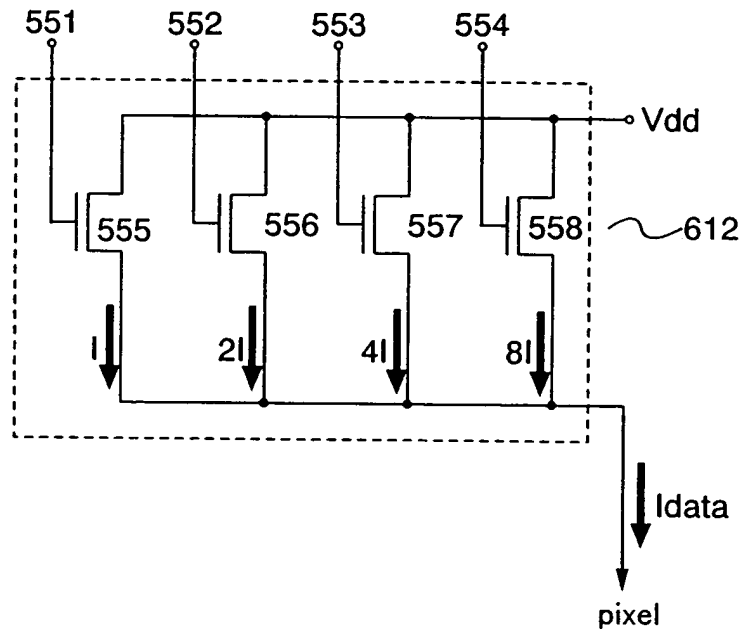


Fig. 19A

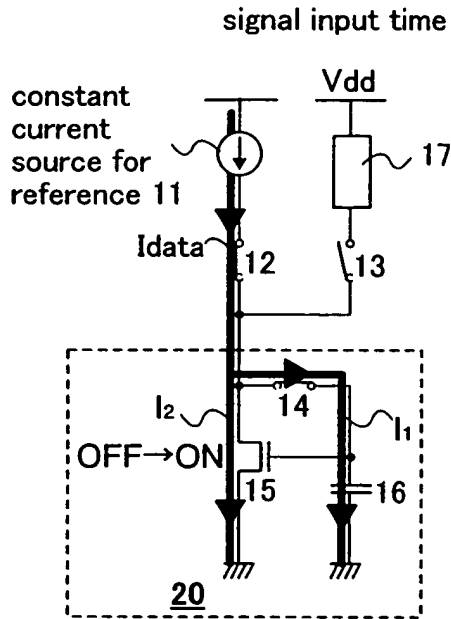


Fig. 19B

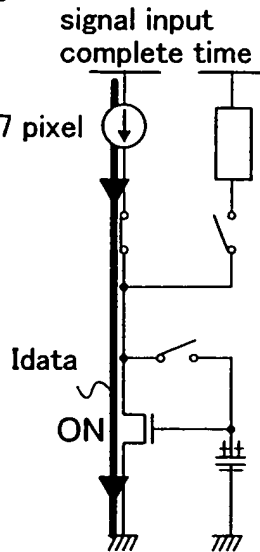


Fig. 19C

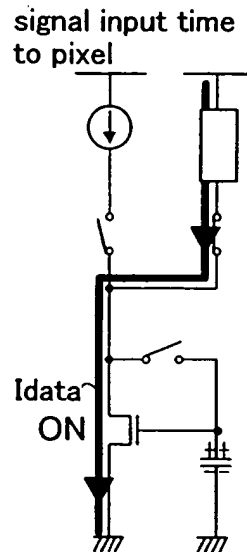


Fig. 19D

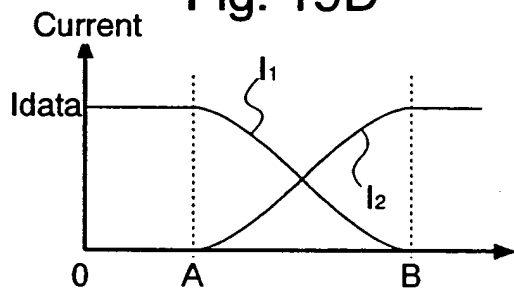


Fig. 19E

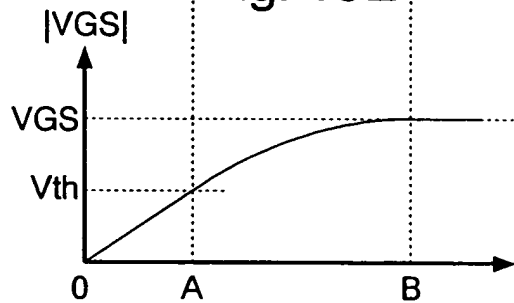


Fig. 19F

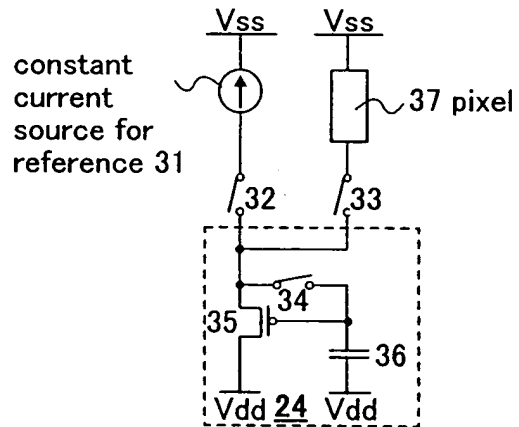


Fig. 20A signal input time

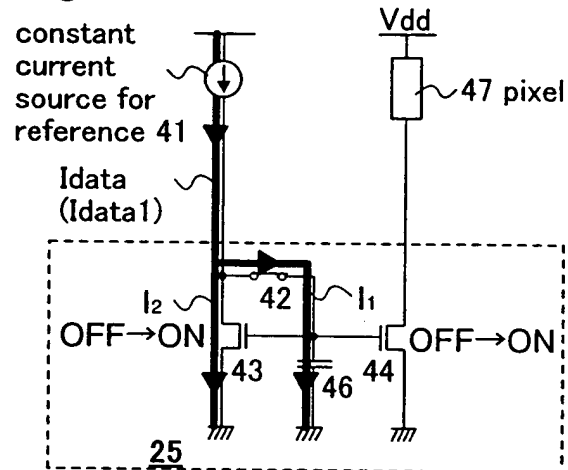


Fig. 20B signal input complete time

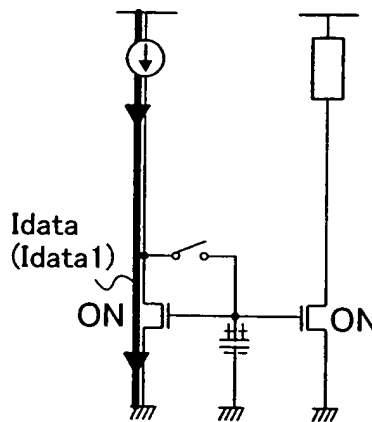


Fig. 20C signal input time to pixel

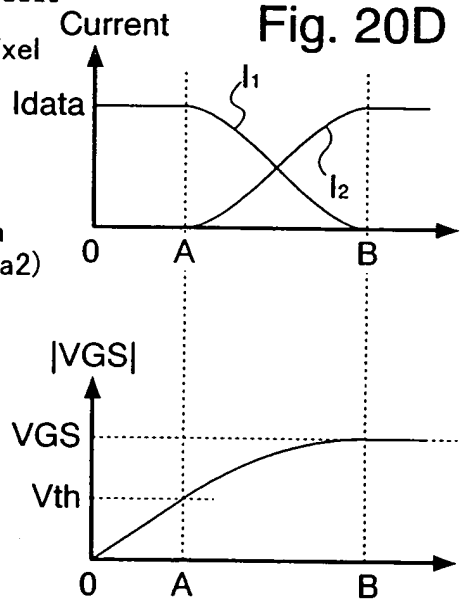
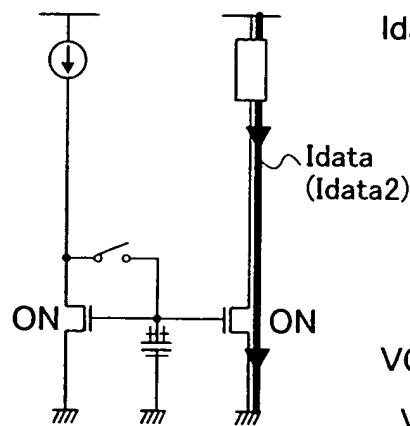


Fig. 20E

Fig. 21

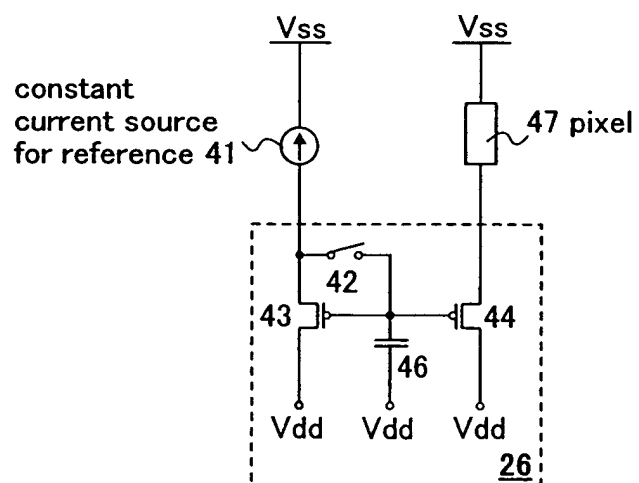


Fig. 22A

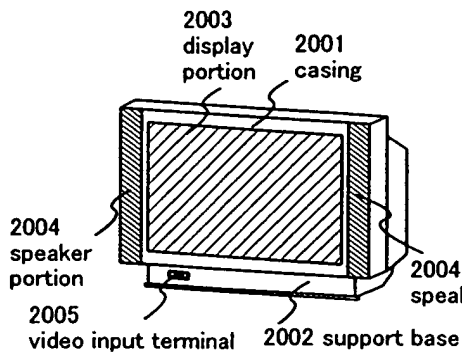


Fig. 22B

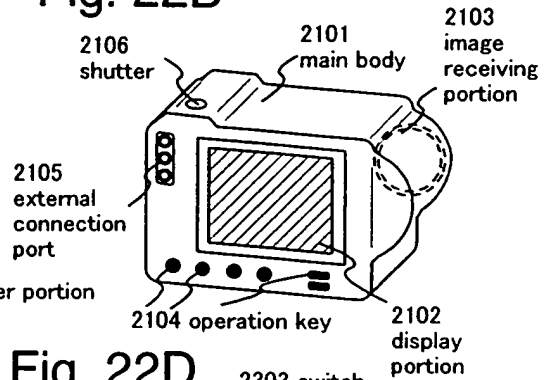


Fig. 22C

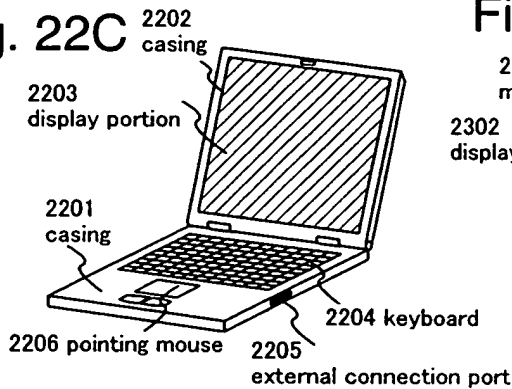


Fig. 22D

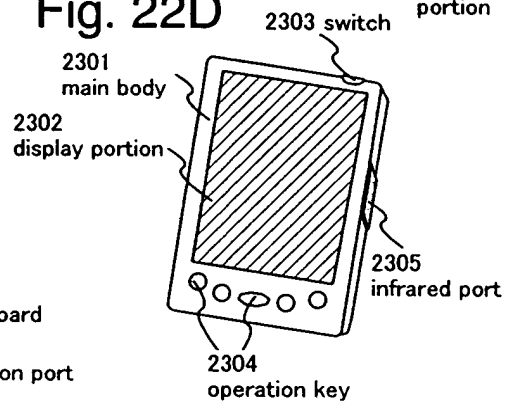


Fig. 22E

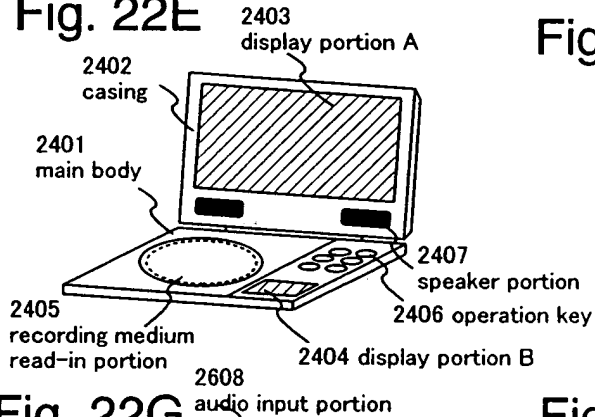


Fig. 22F

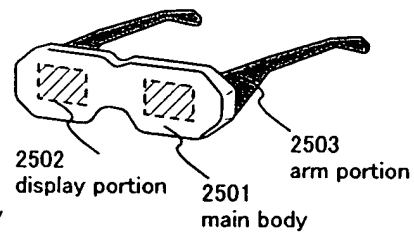


Fig. 22G

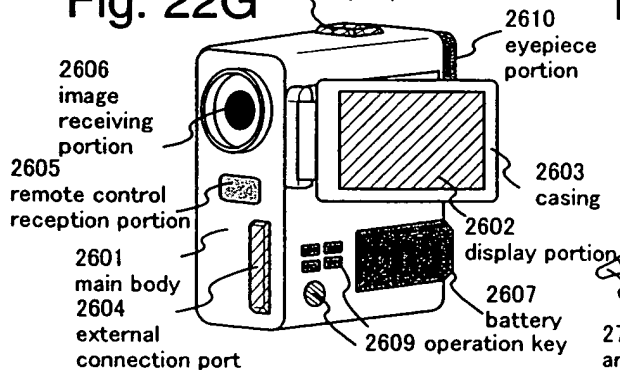
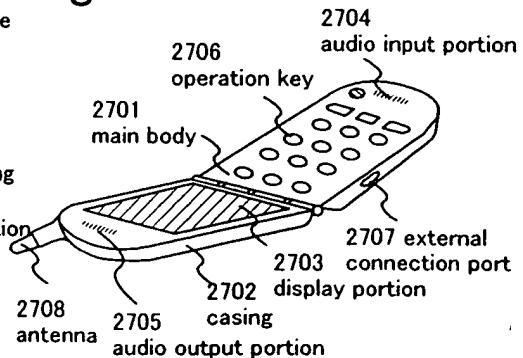


Fig. 22H



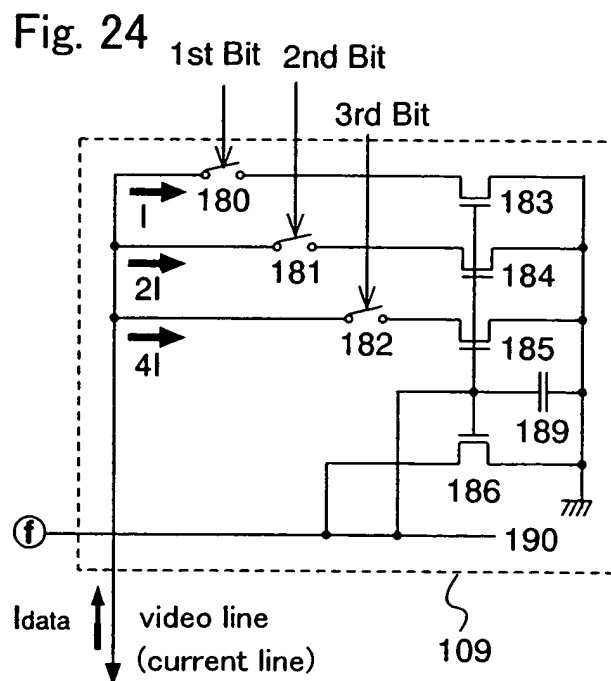
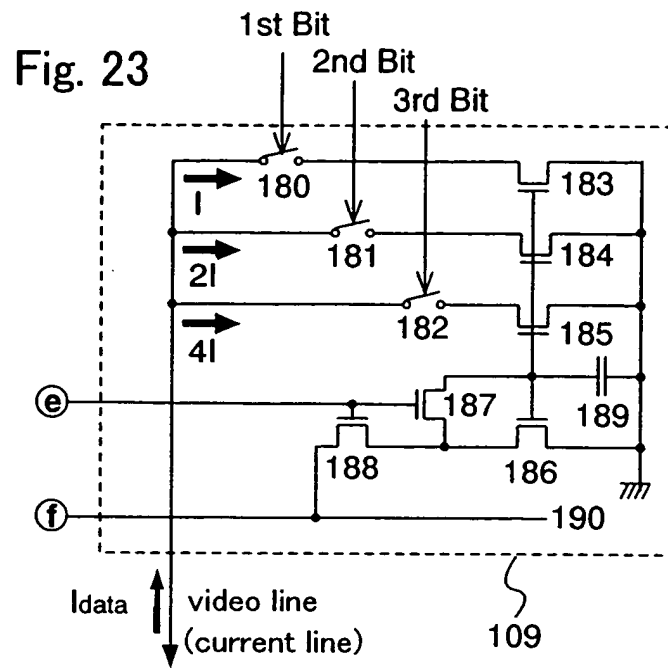




Fig. 25

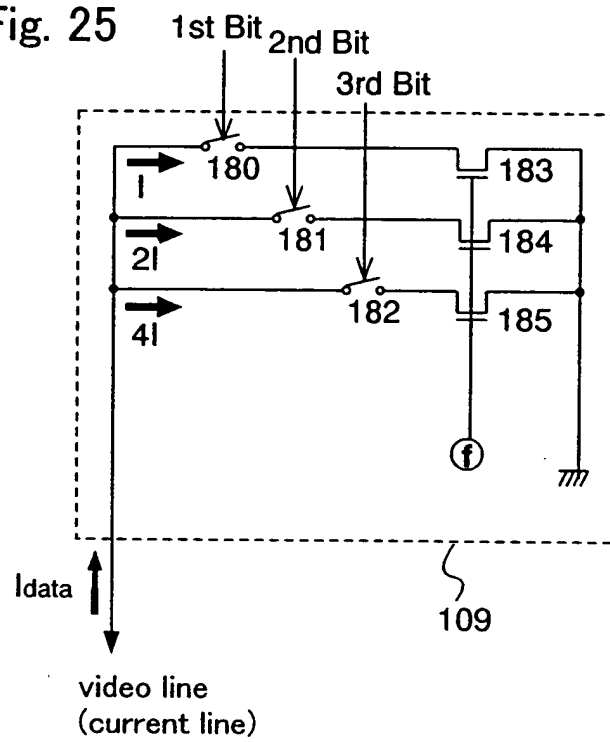


Fig. 26

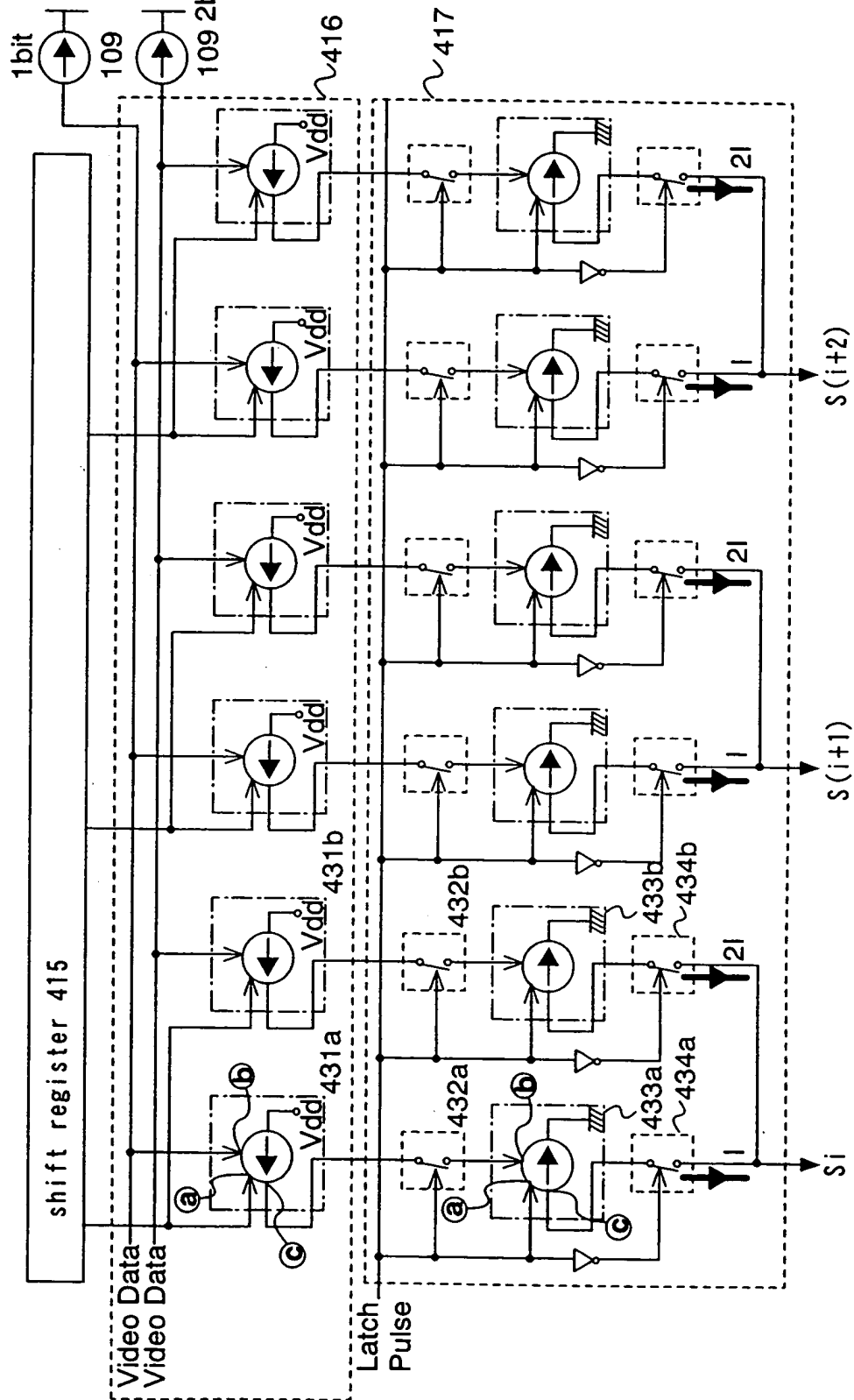


Fig. 27

25/42

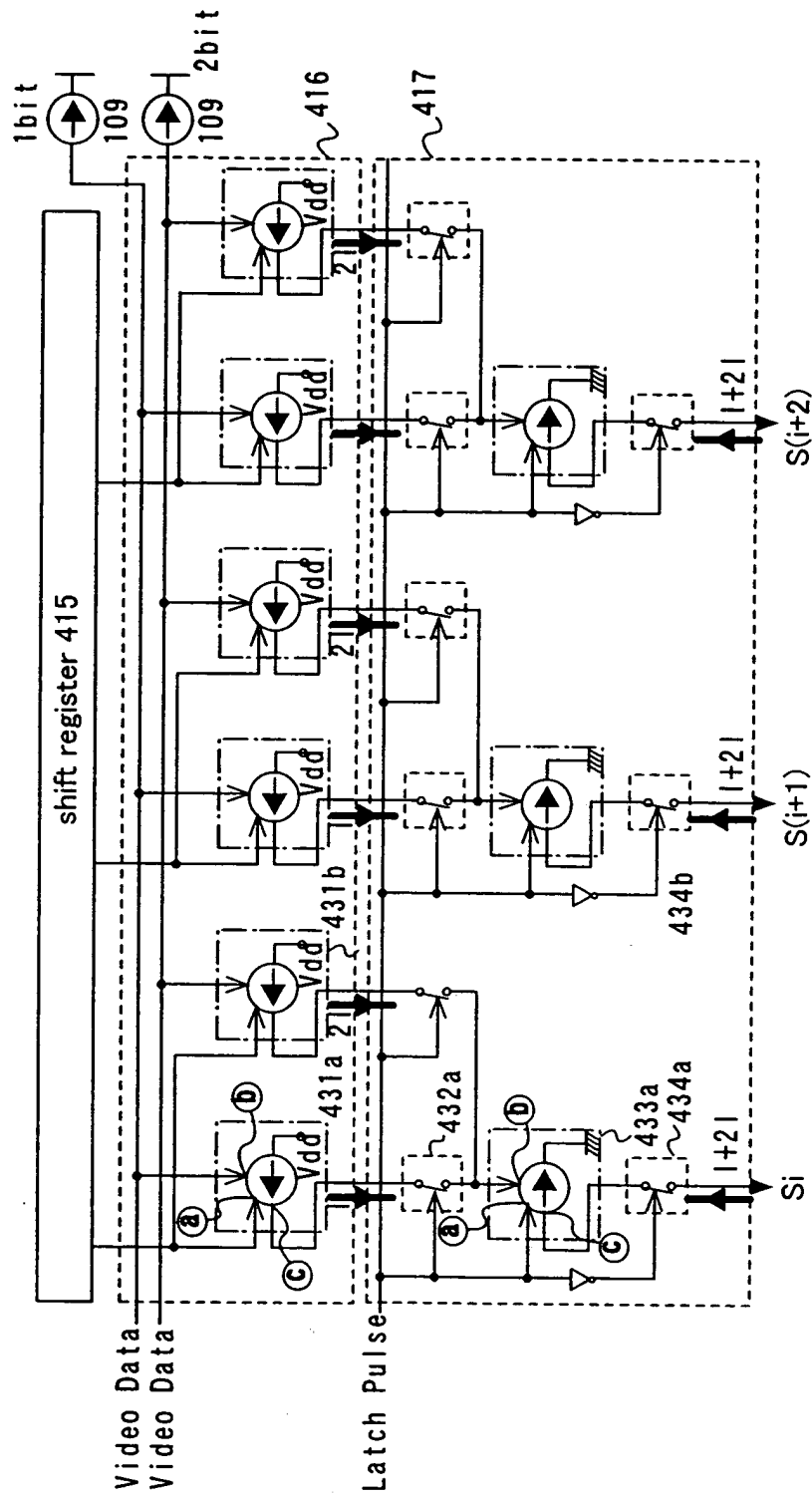


Fig. 28A1

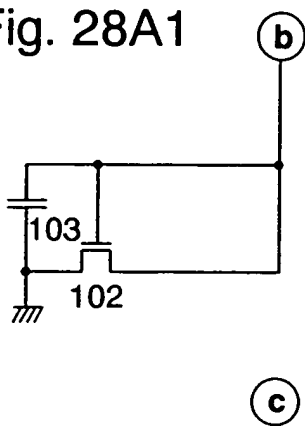


Fig. 28A2

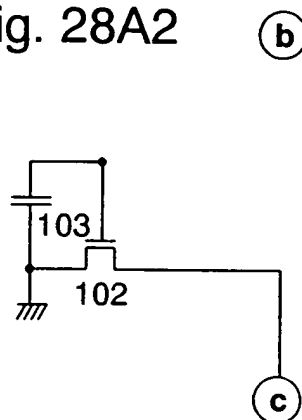


Fig. 28B1

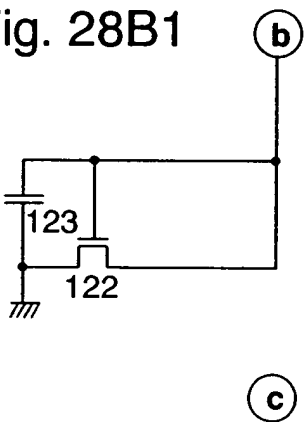


Fig. 28B2

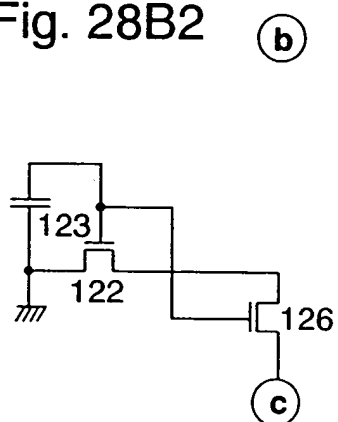


Fig. 28C1

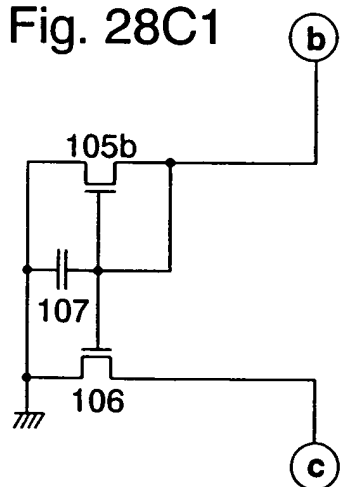


Fig. 28C2

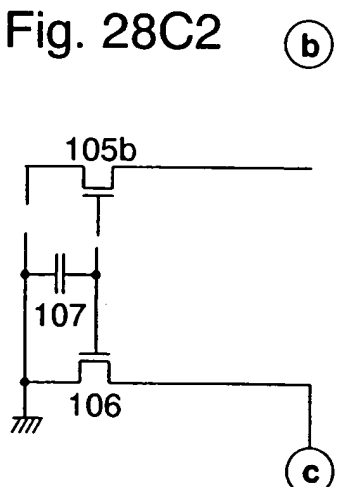


Fig. 29A

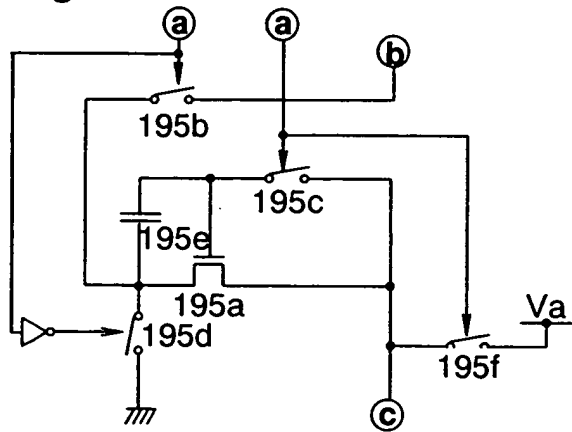


Fig. 29B1

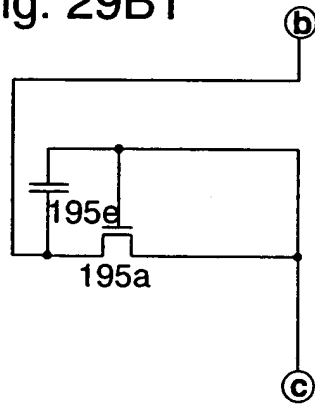


Fig. 29B2

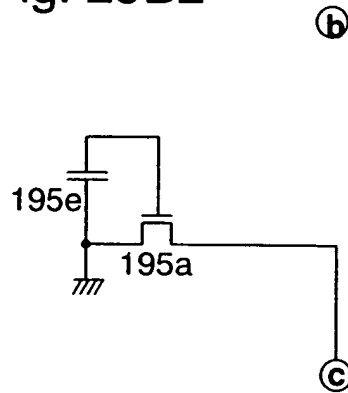


Fig. 29C1

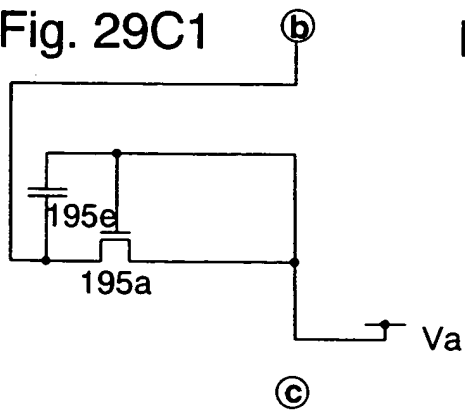


Fig. 29C2

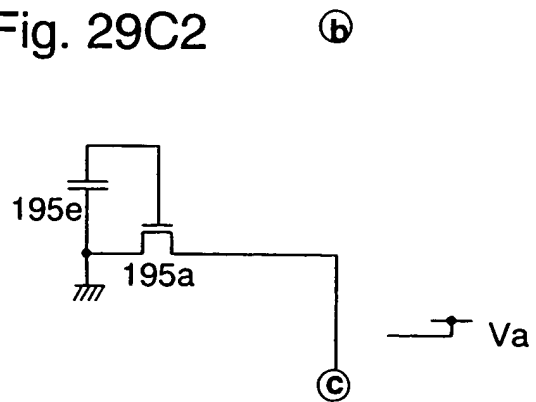


Fig. 30A

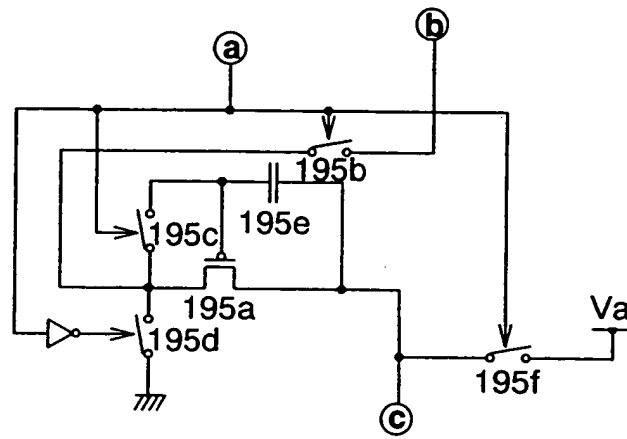


Fig. 30B

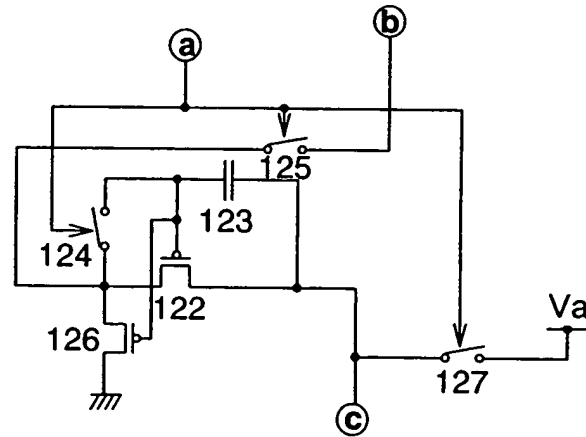


Fig. 31A1

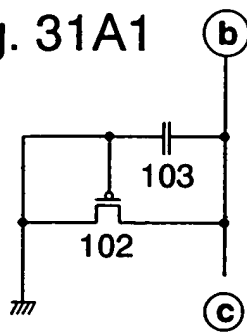


Fig. 31A2

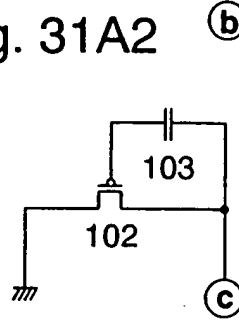


Fig. 31B1

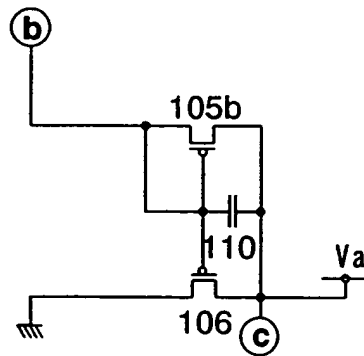


Fig. 31B2

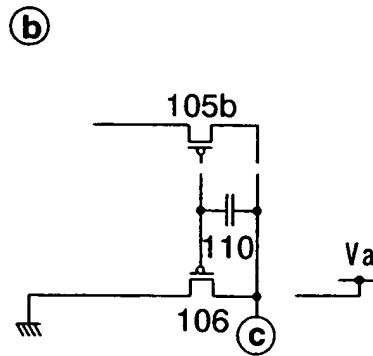


Fig. 31C1

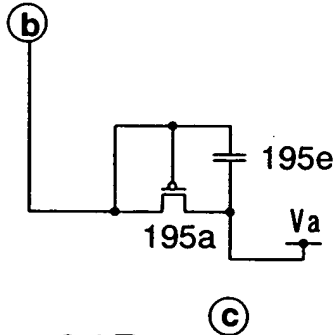


Fig. 31C2

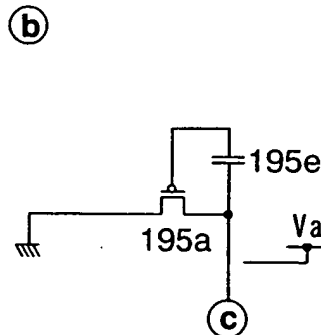


Fig. 31D1

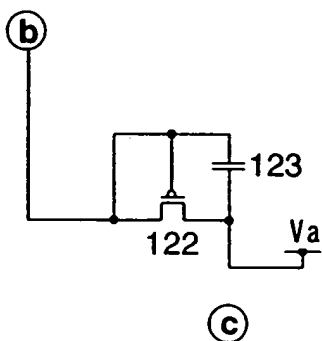


Fig. 31D2

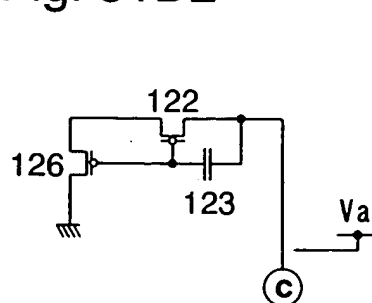


Fig. 32A

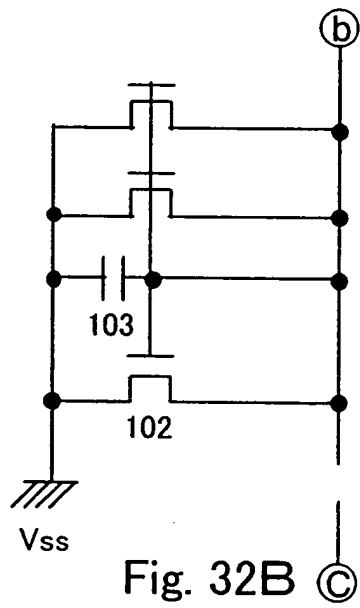
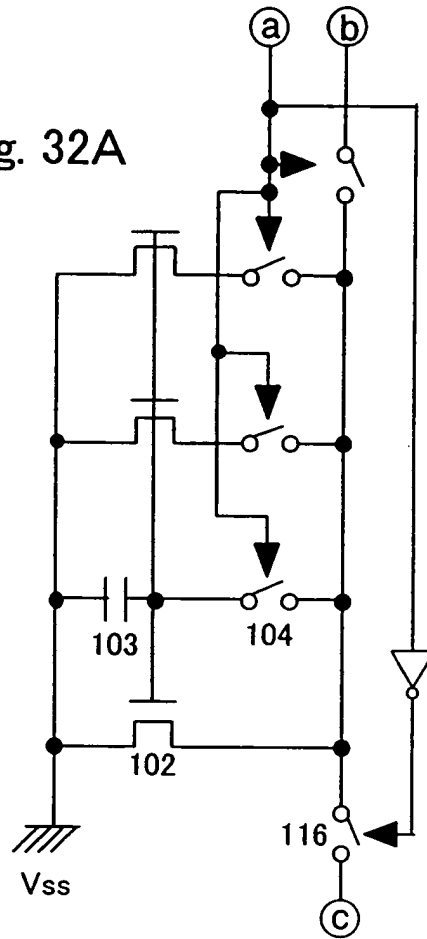


Fig. 32B

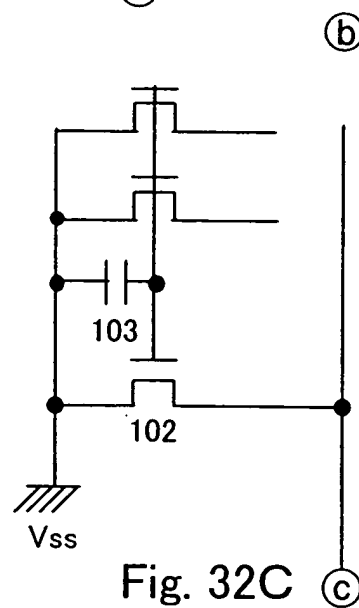


Fig. 32C



Fig. 33

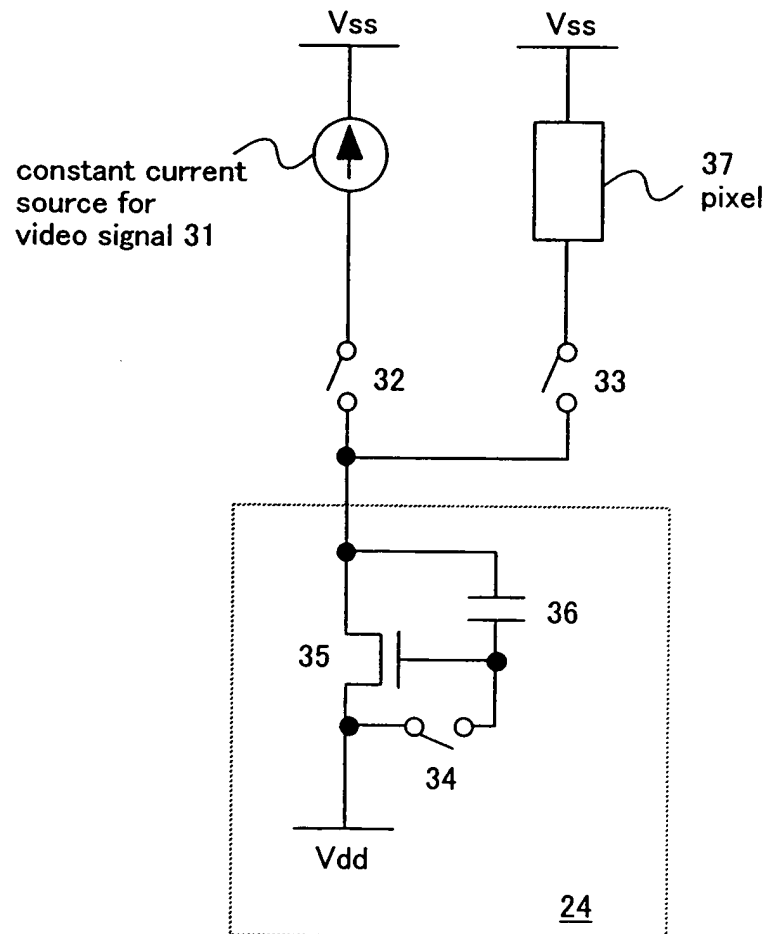


Fig. 34



Fig. 35

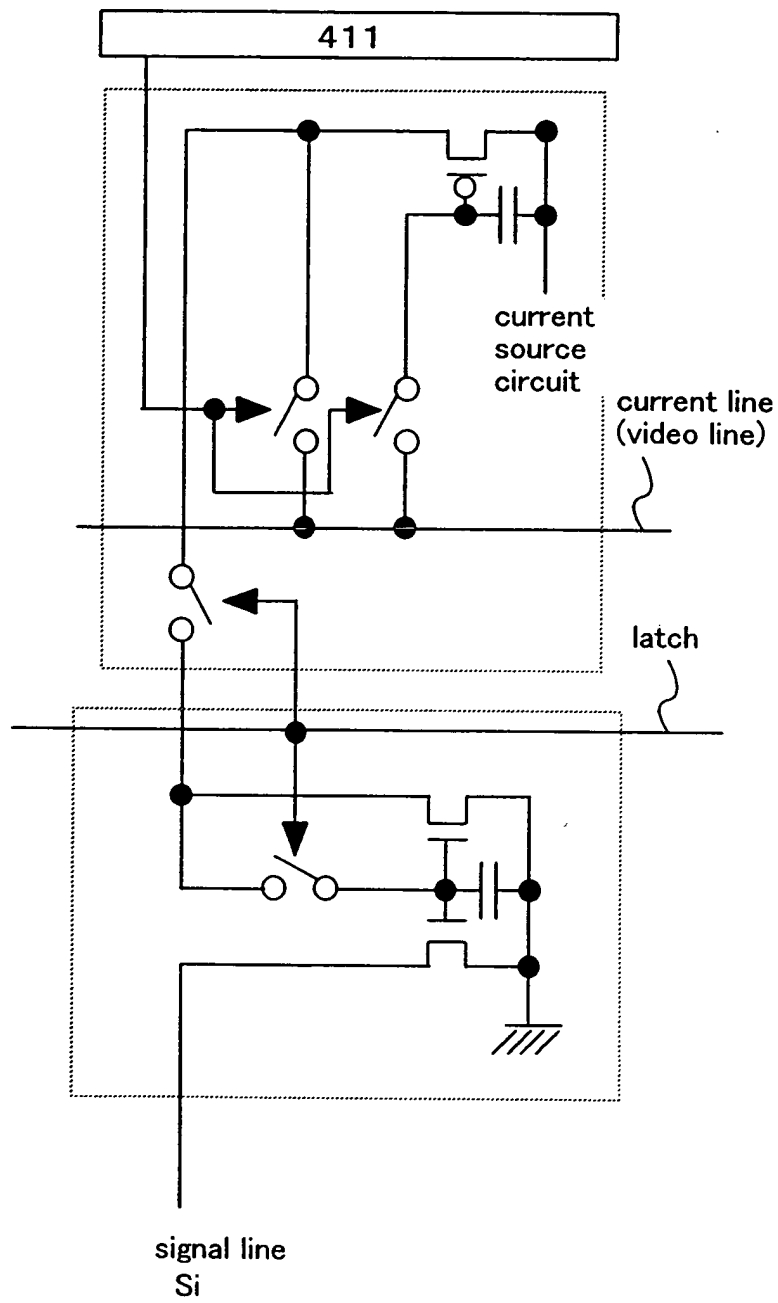


Fig. 36

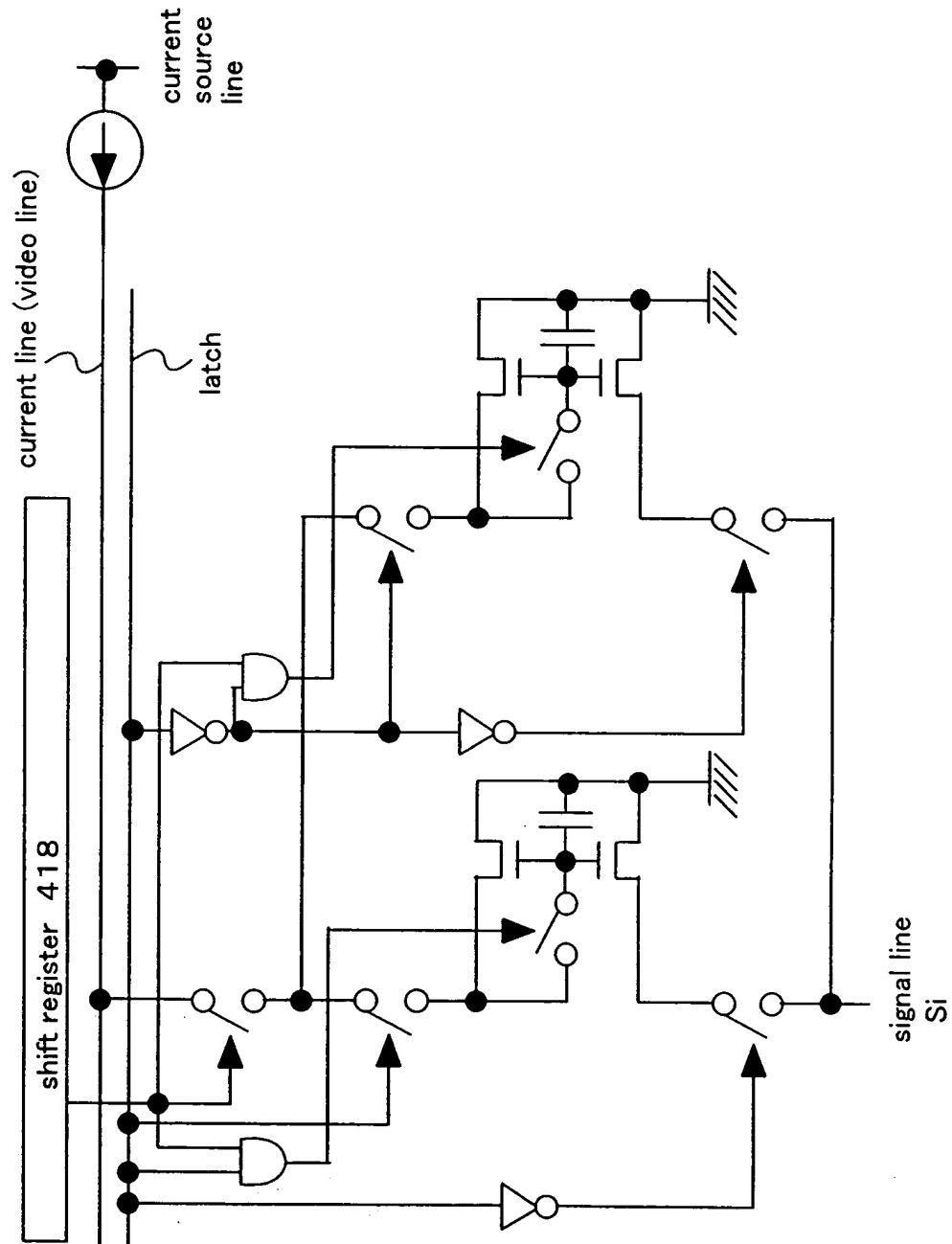


Fig. 37

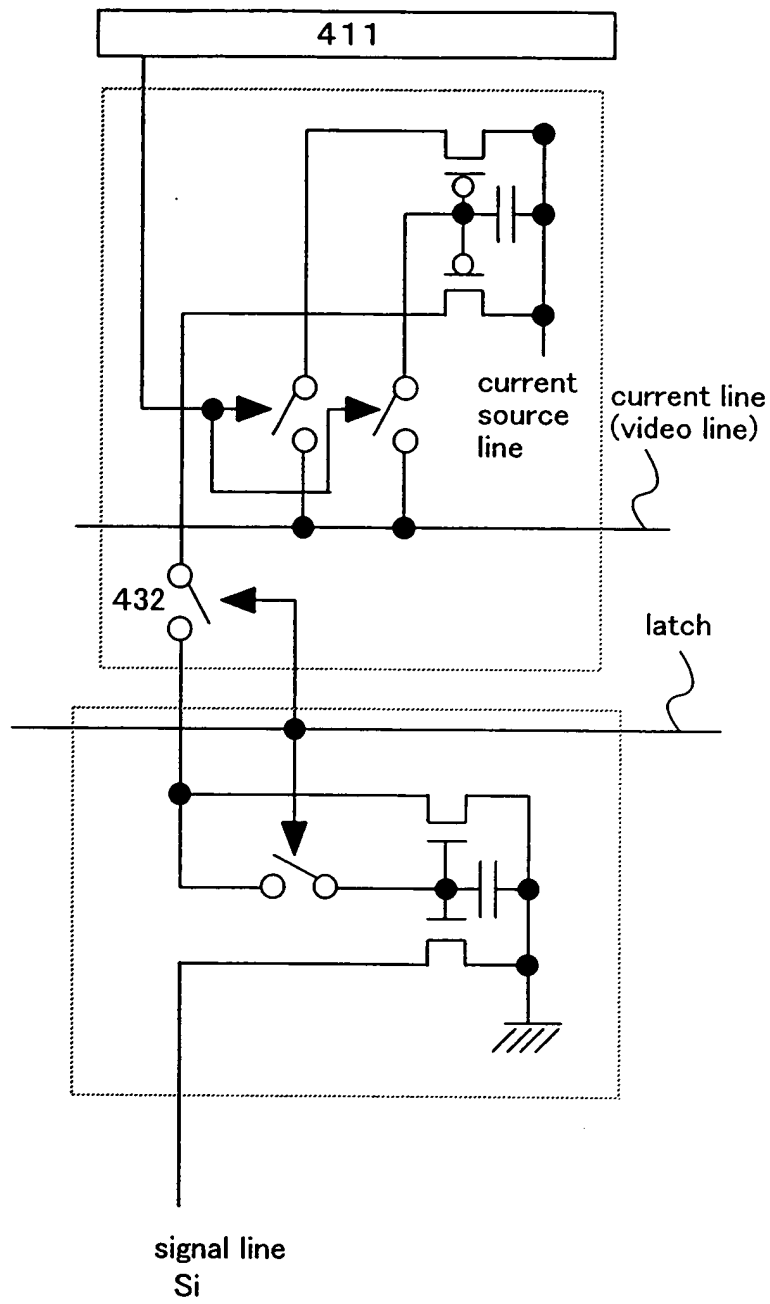


Fig. 38

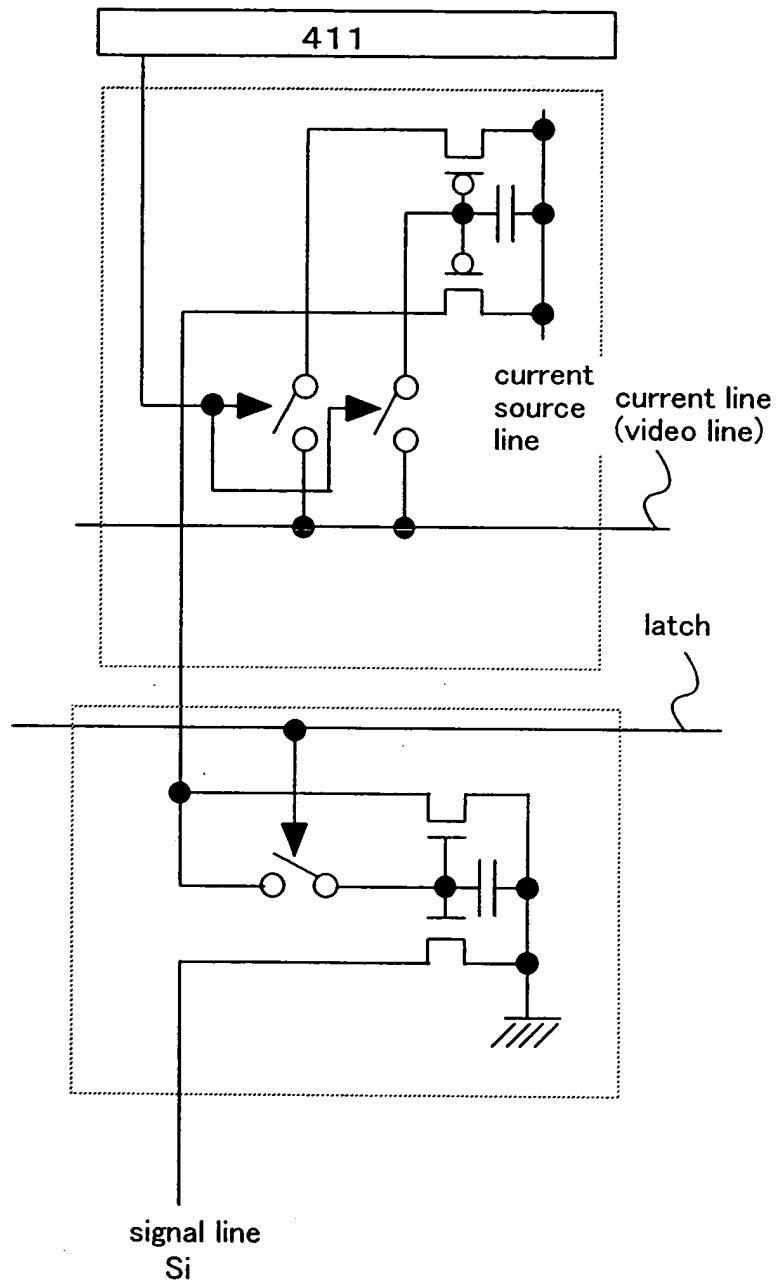


Fig. 39

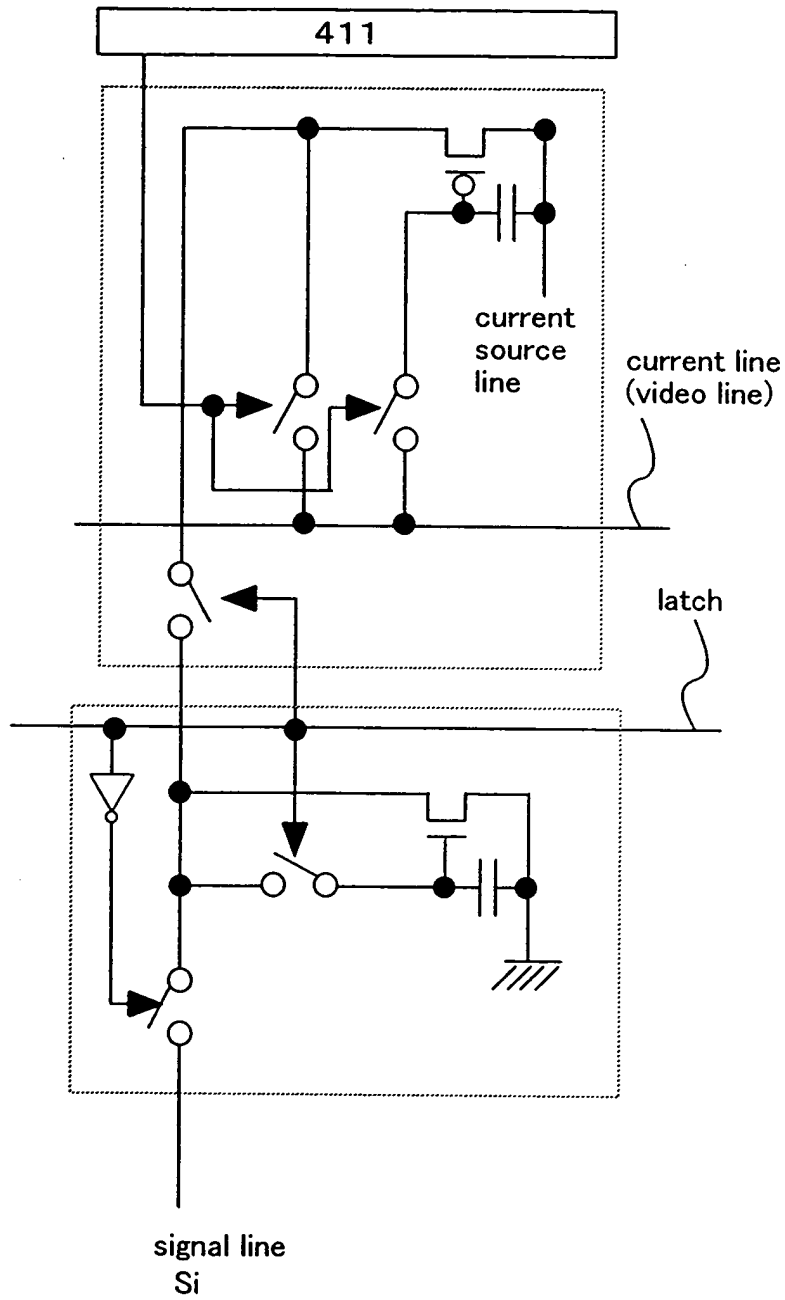


Fig. 40

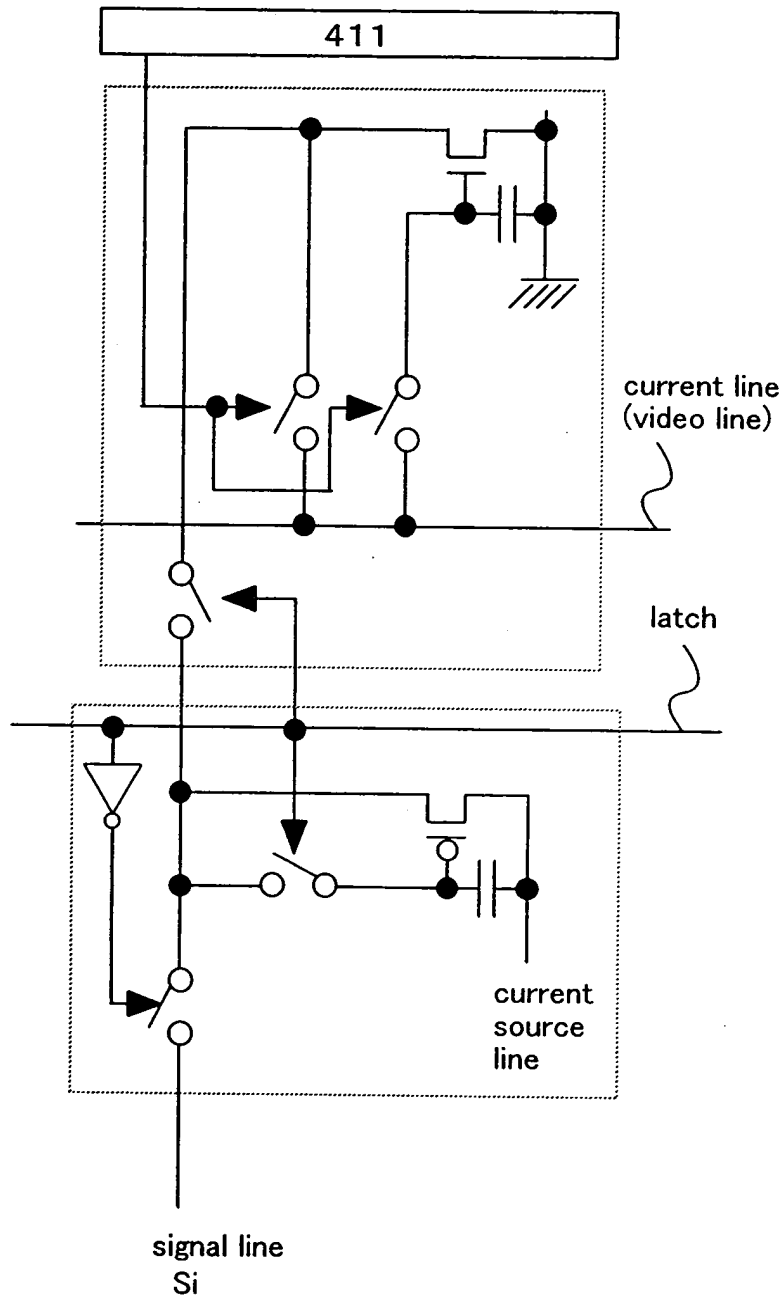




Fig. 41

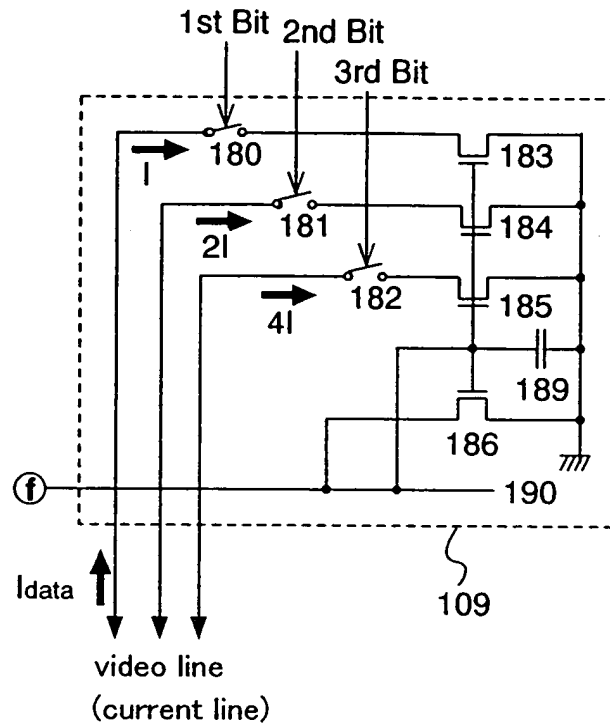


Fig. 42

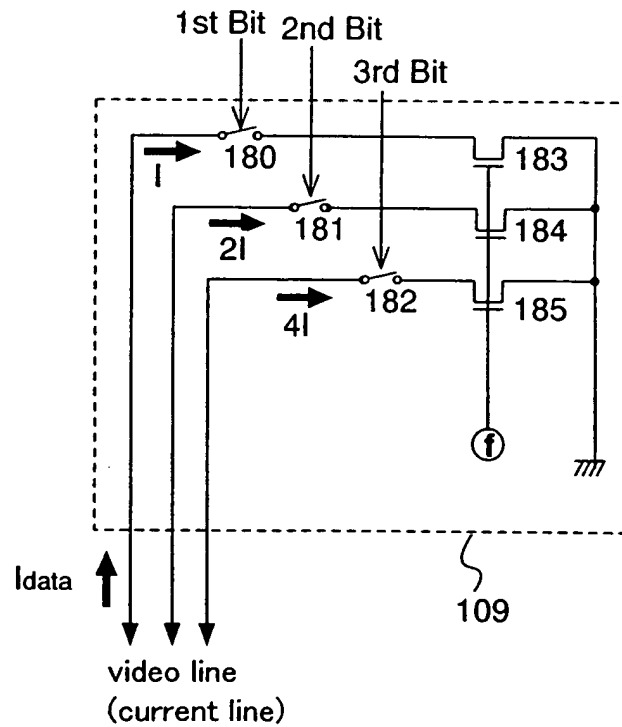


Fig. 43

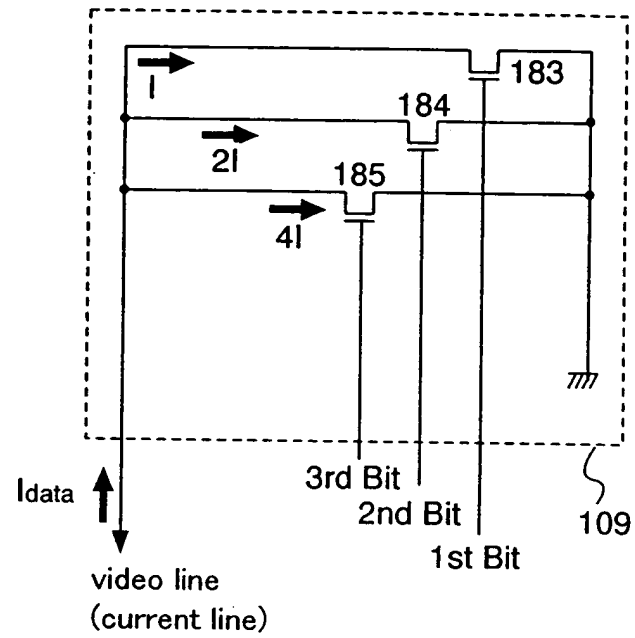


Fig. 44

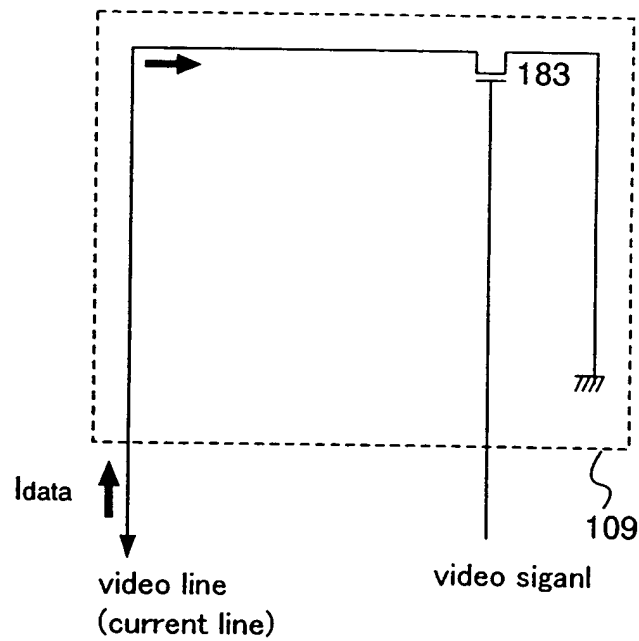


Fig. 45

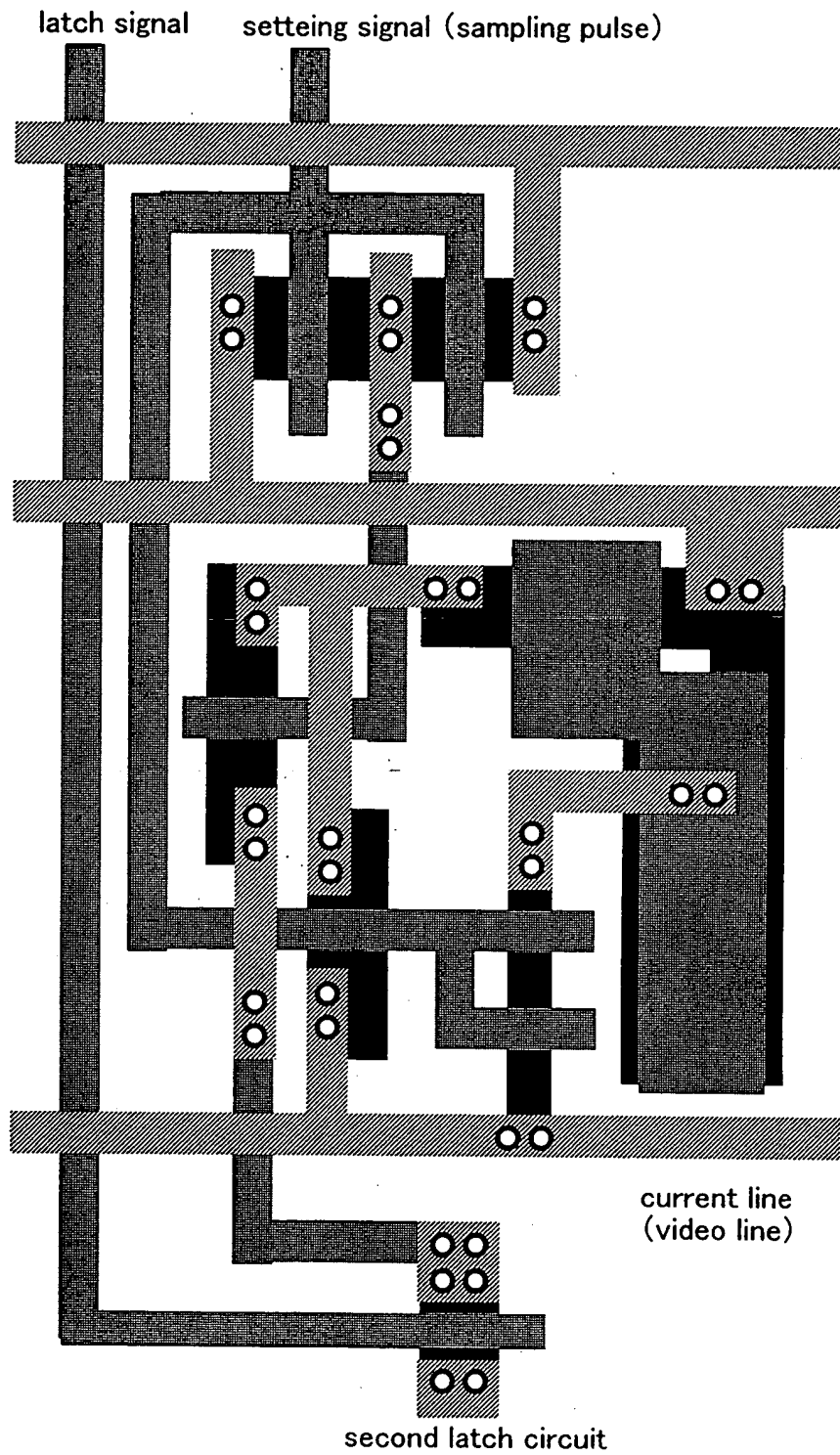


Fig. 46

